

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-203985**

(43) Date of publication of application : 18.07.2003

(51)Int.CI.

H01L 21/822

H01L 21/8222

H01L 21/8249

H01L 27/04

H01L 27/06

(21)Application number : 2002-063771

(71)Applicant : **NEC ELECTRONICS CORP**

(22)Date of filing : 08.03.2002

(72)Inventor : MORISHITA YASUYUKI

(30)Priority

Priority number : **2001078195**

Priority date : 19.03.2001

Priority country : **JP**

2001335348

31.10.2001

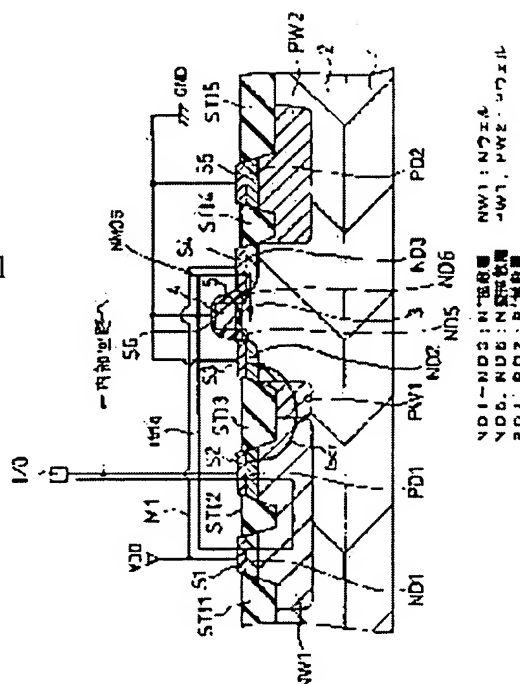
JP

## (54) ELECTROSTATIC PROTECTION CIRCUIT FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an electrostatic protection circuit for a semiconductor integrated circuit which can have both high discharging capacity and a low trigger voltage.

**SOLUTION:** When an electrostatic surge with a positive polarity based upon a ground terminal GND is applied to an input/output pad I/O, a breakdown current  $I_{trig}$  of an n channel MOS transistor NMOS flows from the input/output pad I/O through a p+ diffusion layer PD1 and a forward diode of an n-well NW1. Consequently, a thyristor comprising a p+ diffusion PD1 as the anode of the diode, the n-well NW1, a p well PW1, and an n+ diffusion layer ND2 as the source of a transistor NMOS operates, to discharge the electrostatic surge to the ground terminal GND.



## LEGAL STATUS

[Date of request for examination]

08.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-203985

(P2003-203985A)

(43) 公開日 平成15年7月18日 (2003.7.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/822		H 0 1 L 27/06	3 1 1 A 5 F 0 3 8
21/8222			3 1 1 C 5 F 0 4 8
21/8249		27/04	H 5 F 0 8 2
27/04		27/06	3 2 1 A
27/06			1 0 1 U
審査請求 有 請求項の数16 O L (全 23 頁) 最終頁に続く			

(21) 出願番号 特願2002-63771(P2002-63771)

(22) 出願日 平成14年3月8日 (2002.3.8)

(31) 優先権主張番号 特願2001-78195(P2001-78195)

(32) 優先日 平成13年3月19日 (2001.3.19)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2001-335348(P2001-335348)

(32) 優先日 平成13年10月31日 (2001.10.31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 302062931  
NECエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地

(72) 発明者 森下 泰之  
東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100090158  
弁理士 藤巻 正憲

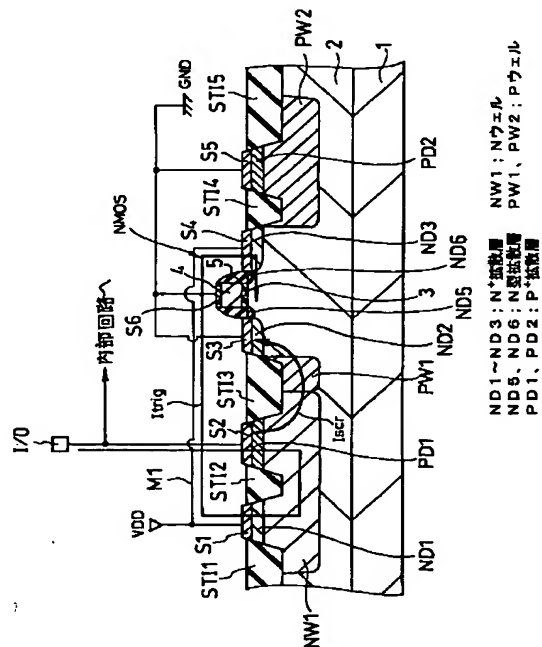
最終頁に続く

(54) 【発明の名称】 半導体集積回路の静電保護回路

(57) 【要約】

【課題】 高い放電能力と低いトリガ電圧とを両立することができる半導体集積回路の静電保護回路を提供する。

【解決手段】 入出力パッド I/O に接地端子 GND に対して正極性の静電サージが印加されると、入出力パッド I/O から P<sup>+</sup> 拡散層 PD1-Nウェル NW1 の順方向ダイオードを経由して Nチャネル MOS トランジスタ NMOS のブレイクダウン電流 I<sub>trig</sub> が流れる。この結果、ダイオードのアノードである P<sup>+</sup> 拡散層 PD1、Nウェル NW1、Pウェル PW1 及びトランジスタ NMOS のソースである N<sup>+</sup> 拡散層 ND2 で構成されるサイリスタが動作し、静電サージは接地端子 GND へ逃がされる。



## 【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、この半導体基板に形成された第 2 導電型ウェルと、この第 2 導電型ウェルに形成された第 1 の第 1 導電型拡散層及び第 1 の第 2 導電型拡散層と、前記第 2 導電型ウェル以外の前記半導体基板に形成された第 2 の第 2 導電型拡散層と、2 端子を有しこの 2 端子間に一定値以上の電圧が印加されると電流が流れるトリガ素子とを有し、前記第 1 の第 1 導電型拡散層はパッドと接続され、前記トリガ素子の 1 端子は前記第 1 の第 2 導電型拡散層に配線を介して接続されると共に他端子は基準電圧端子に接続され、前記第 2 の第 2 導電型拡散層は基準電圧端子に接続されていることを特徴とする半導体集積回路の静電保護回路。

【請求項 2】 前記トリガ素子は、前記半導体基板に形成された第 3 の第 2 導電型拡散層及び前記第 2 の第 2 導電型拡散層をドレイン及びソースとする MOS トランジスタであり、前記第 3 の第 2 導電型拡散層は前記第 1 の第 2 導電型拡散層に前記配線を介して接続されていることを特徴とする請求項 1 に記載の半導体集積回路の静電保護回路。

【請求項 3】 前記第 2 の第 2 導電型拡散層は、前記第 2 導電型ウェルと前記第 3 の第 2 導電型拡散層の間に配置されていることを特徴とする請求項 2 に記載の半導体集積回路の静電保護回路。

【請求項 4】 前記トリガ素子は、前記第 2 導電型ウェル以外の前記半導体基板に形成された第 3 及び第 4 の第 2 導電型拡散層をドレイン及びソースとする MOS トランジスタであり、前記第 3 の第 2 導電型拡散層は前記配線を介して前記第 1 の第 2 導電型拡散層に接続され、前記第 4 の第 2 導電型拡散層は基準電圧端子に接続されていることを特徴とする請求項 1 に記載の半導体集積回路の静電保護回路。

【請求項 5】 前記 MOS トランジスタが、前記半導体基板における前記第 3 及び第 4 の第 2 導電型拡散層の間の領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極層と、前記第 3 の第 2 導電型拡散層と前記ゲート電極層との間に接続された容量素子と、前記ゲート電極層と前記第 4 の第 2 導電型拡散層との間に接続された抵抗素子とを有することを特徴とする請求項 4 に記載の半導体集積回路の静電保護回路。

【請求項 6】 前記 MOS トランジスタが、前記半導体基板における前記第 3 及び第 4 の第 2 導電型拡散層の間の領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極層と、前記第 3 の第 2 導電型拡散層に接続された容量素子と、前記第 4 の第 2 導電型拡散層に接続された抵抗素子と、前記容量素子における前記第 3 の第 2 導電型拡散層に接続されていない側と前記抵抗素子における前記第 4 の第 2 導電型拡散層に接続されていない側との間の節点と、前記ゲート電極層との間に接続された遅延回路とを有することを特徴とする請求項 4 に記

載の半導体集積回路の静電保護回路。

【請求項 7】 そのアノードが前記第 1 の第 2 導電型拡散層に接続され、そのカソードが前記第 3 の第 2 導電型拡散層に接続されたダイオードを有することを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の半導体集積回路の静電保護回路。

【請求項 8】 前記ダイオードは、前記第 2 導電型ウェル以外の前記半導体基板に形成された複数の p n ダイオードが縦続接続されたものであることを特徴とする請求項 7 に記載の半導体集積回路の静電保護回路。

【請求項 9】 前記第 1 の第 2 導電型拡散層が電源電圧端子に接続されていることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体集積回路の静電保護回路。

【請求項 10】 前記トリガ素子は、前記第 2 導電型ウェル以外の前記半導体基板に形成されたダイオードであり、このダイオードのアノードは前記第 1 の第 2 導電型拡散層に前記配線を介して接続されると共に、前記ダイオードのカソードは基準電圧端子に接続されていることを特徴とする請求項 1 に記載の半導体集積回路の静電保護回路。

【請求項 11】 前記ダイオードは、前記第 2 導電型ウェル以外の前記半導体基板に形成された複数の p n ダイオードが縦続接続されたものであることを特徴とする請求項 10 に記載の半導体集積回路の静電保護回路。

【請求項 12】 前記第 1 の第 1 導電型拡散層と前記第 2 の第 2 導電型拡散層との間における前記第 2 導電型ウェルの端面と前記第 2 の第 2 導電型拡散層との間の距離が、前記第 2 導電型ウェルの深さよりも小さいことを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の半導体集積回路の静電保護回路。

【請求項 13】 前記第 1 導電型の半導体基板に前記第 2 導電型ウェルに接するように形成された第 1 導電型ウェルを有することを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の半導体集積回路の静電保護回路。

【請求項 14】 そのカソードが前記第 1 の第 1 導電型拡散層に接続され、そのアノードが基準電圧端子に接続されたダイオードを有することを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の半導体集積回路の静電保護回路。

【請求項 15】 前記パッドが外部入力端子、外部出力端子又は電源電圧端子に接続されていることを特徴とする請求項 1 乃至 14 のいずれか 1 項に記載の半導体集積回路の静電保護回路。

【請求項 16】 前記半導体基板における前記第 2 導電型ウェル以外の領域に形成された第 2 の第 1 導電型拡散層を有し、この第 2 の第 1 導電型拡散層は基準電圧端子に接続されていることを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の半導体集積回路の静電保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は静電サージ等による内部素子の破壊の防止に好適な半導体集積回路の静電保護回路に関し、特に、保護能力の向上を図った半導体集積回路の静電保護回路に関する。

【0002】

【従来の技術】半導体集積回路（IC）においては、静電気放電（ESD：electrostatic discharge）によってその入出力パッドに印加されるサージ電圧及びサージ電流に対するESD耐性が要求されている。このため、入出力パッドに静電保護回路が接続されている。図24は従来の静電保護回路の構造を示す図であって、（a）は断面図、（b）は等価回路図である。

【0003】従来の静電保護回路においては、図24

（a）に示すように、P型半導体基板101上にP型エピタキシャル層102が積層され、その表面にNウェルNW101及びPウェルPW101が形成されている。また、NウェルNW101及びPウェルPW101の境界における表面にはN<sup>+</sup>拡散層ND102が形成されている。

【0004】NウェルNW101の表面においては、N<sup>+</sup>拡散層ND102と離間してN<sup>+</sup>拡散層ND101が形成され、N<sup>+</sup>拡散層ND102とN<sup>+</sup>拡散層ND101との間にP<sup>+</sup>拡散層PD101が形成されている。これらの拡散層は素子分離絶縁膜STIにより互いに絶縁分離されている。

【0005】一方、PウェルPW101の表面においては、N<sup>+</sup>拡散層ND102と離間してN<sup>+</sup>拡散層ND103が形成され、更に離間してP<sup>+</sup>拡散層PD102が形成されている。N<sup>+</sup>拡散層ND103とP<sup>+</sup>拡散層PD102とは、他の素子分離絶縁膜STIにより絶縁分離されている。また、N<sup>+</sup>拡散層ND102及びN<sup>+</sup>拡散層ND103間のP型エピタキシャル層102上には、ゲート絶縁膜（図示せず）を介して導電膜104が形成されており、この導電膜104をゲート電極とし、N<sup>+</sup>拡散層ND103をソースとし、N<sup>+</sup>拡散層ND102をドレインとするNチャンネルMOSトランジスタNMOSが構成されている。

【0006】N<sup>+</sup>拡散層ND101及びP<sup>+</sup>拡散層PD101には、入出力パッドI/Oが接続され、導電膜104、N<sup>+</sup>拡散層ND103及びP<sup>+</sup>拡散層PD102は接地端子GNDに接続されている。

【0007】このように構成された静電保護回路においては、図24（b）に示すように、P<sup>+</sup>拡散層PD101とNウェルNW101とPウェルPW101とによりトランジスタTr101が構成され、NウェルNW101とPウェルPW101とN<sup>+</sup>拡散層ND103とによりトランジスタTr102が構成されている。即ち、P<sup>+</sup>拡散層PD101とNウェルNW101とPウェルPW101とN<sup>+</sup>拡散層ND103とによりサイリスタが

構成されている。また、NウェルNW101及びPウェルPW101には、各々抵抗R<sub>nw</sub>及びR<sub>pw</sub>が寄生している。

【0008】そして、入出力パッドI/Oへ接地端子GNDに対して正極のサージが印加されると、トランジスタNMOSのドレイン（N<sup>+</sup>拡散層ND102）及びチャネル（PウェルPW101）との間で降伏（ブレイクダウン）が生じ、トリガ電流I<sub>trig</sub>がN<sup>+</sup>拡散層ND101からNウェルNW101、N<sup>+</sup>拡散層ND102、PウェルPW101を経由して接地端子GNDまで流れる。これらの結果、NウェルNW101に寄生する寄生抵抗R<sub>nw</sub>によってNウェルNW101の電位が入出力パッドI/Oの電位より低下し、PウェルPW101に寄生する寄生抵抗R<sub>pw</sub>によってPウェルPW101の電位が接地端子GNDの電位より上昇し、P<sup>+</sup>拡散層PD101とNウェルNW101とPウェルPW101とN<sup>+</sup>拡散層ND103とにより構成されたサイリスタがオン状態になる。従って、大きな電流I<sub>scr</sub>が入出力パッドI/Oから接地端子GNDへ流れる。このため、入出力パッドI/Oに印加されたサージは、内部回路に印加されることなく接地端子GNDへと逃がされる。

【0009】このような静電保護回路は、例えば特開平10-50494号公報、特開平10-313110号公報、米国特許第5465189号及び「1990 Symposium on VLSI Technology 6B-5 p.75-76」に記載されている。

【0010】また、図25（a）及び（b）は他の従来の静電保護回路の構造を示す図であり、（a）は断面図、（b）は等価回路図である。この従来の静電保護回路は、例えば米国特許第5465189号に記載されている。図25（a）及び（b）に示すように、この従来の静電保護回路においては、N<sup>+</sup>拡散層ND101が入出力パッドI/Oではなく、電源端子VDDに接続されている。そして、入出力パッドI/OはP<sup>+</sup>拡散層PD101のみに接続されている。この従来の静電保護回路における上記以外の構成は、図24（a）及び（b）に示す従来の静電保護回路と同じである。

【0011】しかしながら、上述の従来の静電保護回路においては、サイリスタのアノードとカソードとの間にトランジスタNMOSのドレイン（N<sup>+</sup>拡散層ND102）が存在しているため、ゲート長が0.18μm世代の技術を適用した場合においてもアノード-カソード間の距離L<sub>scr</sub>が2乃至3μm程度と比較的長くなり、十分なESD耐性が得られないという問題点がある。これは、サイリスタの放電能力が距離L<sub>scr</sub>の増加に伴って低下するからである。

【0012】図26（a）及び（b）は更に他の従来の静電保護回路の構造を示す図であり、（a）は断面図、（b）は等価回路図である。図26（a）及び（b）に

示すように、この従来の静電保護回路においては、図 25 (a) 及び (b) に示す従来の静電保護回路と比較して、トランジスタ NMOS 及び P<sup>+</sup> 拡散層 PD102 の代わりに N<sup>+</sup> 拡散層 ND104 が設けられており、P<sup>+</sup> 拡散層 PD101 と N<sup>+</sup> 拡散層 ND104 との間に素子分離絶縁膜 STI が設けられている。N<sup>+</sup> 拡散層 ND104 は接地端子 GND に接続されている。また、N ウェル NW101 は、P<sup>+</sup> 拡散層 PD101 と N<sup>+</sup> 拡散層 ND104 との間の素子分離絶縁膜 STI の下方まで延出している。この従来の静電保護回路における上記以外の構成は、図 25 (a) 及び (b) に示す従来の静電保護回路と同じである。

【0013】図 26 (a) 及び (b) に示す従来の静電保護回路においては、N ウェル NW101 と P ウェル PW101 との境界に N<sup>+</sup> 拡散層が設けられていないため、アノード-カソード間の距離 L<sub>scr</sub> を短くすることができる。

【0014】

【発明が解決しようとする課題】しかしながら、上述の従来の技術には以下に示すような問題点がある。図 24 (a) 及び (b) 並びに図 25 (a) 及び (b) に示す静電保護回路においては、MOS トランジスタ NMOS のドレインである N<sup>+</sup> 拡散層 102 と P ウェル PW101 との境界におけるブレイクダウン電圧が、サイリスタのトリガ電圧 (V<sub>trig</sub>) となる。この場合、MOS トランジスタ NMOS の構造を調整することにより、ブレイクダウン電圧を調整し、サイリスタのトリガ電圧を入出力パッド I/O に接続されている被保護回路 (図示せず) の破壊電圧よりも低く設定することができる。しかしながら、距離 L<sub>scr</sub> が大きいと、サイリスタの放電能力が低く、所望の ESD 耐圧を得るためには、サイリスタのサイズを大きくしなくてはならない。この結果、保護回路の寄生容量が大きくなり、高速インターフェース回路には適用できなくなる。

【0015】また、図 26 (a) 及び (b) に示す静電保護回路においては、前述の如く、距離 L<sub>scr</sub> を短くすることができる。しかしながら、この静電保護回路においては、N ウェル NW101 と P ウェル PW101 との境界におけるブレイクダウン電圧が、サイリスタのトリガ電圧 (V<sub>trig</sub>) を決定する。N ウェルと P ウェルとの境界においては、ブレイクダウン電圧が数十 V と高いと、サイリスタのトリガ電圧を被保護回路の破壊電圧よりも小さくすることができない。このため、ブレイクダウンが発生して保護回路が機能する前に、被保護回路が破壊されてしまう。

【0016】このように、従来の静電保護回路においては、距離 L<sub>scr</sub> を小さくして放電能力を高めることとトリガ電圧 (V<sub>trig</sub>) を低くすることとの両立が困難である。しかしながら、近時、半導体集積回路には 0.10 μm の CMOS テクノロジーが採用されてお

り、この半導体集積回路を構成する MOS トランジスタのゲート酸化膜の厚さは 2 nm 未満となっている。このため、このような半導体集積回路を保護するためには、従来よりも放電能力が大きくトリガ電圧が低い静電保護回路が必要とされている。

【0017】本発明はかかる問題点に鑑みてなされたものであって、高い放電能力と低いトリガ電圧とを両立することができる半導体集積回路の静電保護回路を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明に係る半導体集積回路の静電保護回路は、第 1 導電型の半導体基板と、この半導体基板に形成された第 2 導電型ウェルと、この第 2 導電型ウェルに形成された第 1 の第 1 導電型拡散層及び第 1 の第 2 導電型拡散層と、前記第 2 導電型ウェル以外の前記半導体基板に形成された第 2 の第 2 導電型拡散層と、2 端子を有しこの 2 端子間に一定値以上の電圧が印加されると電流が流れるトリガ素子とを有し、前記第 1 の第 1 導電型拡散層はパッドと接続され、前記トリガ素子の 1 端子は前記第 1 の第 2 導電型拡散層に配線を介して接続されると共に他端子は基準電圧端子に接続され、前記第 2 の第 2 導電型拡散層は基準電圧端子に接続されていることを特徴とする。

【0019】本発明においては、パッドに基準電圧端子に対して正極のサージが印加されると、第 1 の第 1 導電型拡散層、第 2 導電型ウェル、第 1 の第 2 導電型拡散層及び配線を通じて、トリガ素子に電圧が印加される。これにより、トリガ素子にトリガ電流が流れる。この結果、このトリガ電流が、第 1 の第 1 導電型拡散層、第 2 導電型ウェル及び第 1 導電型の半導体基板からなるトランジスタのベース電流となり、このトランジスタがオン状態になる。これにより、第 1 の第 1 導電型拡散層、第 2 導電型ウェル、第 1 導電型の半導体基板及び第 2 の第 2 導電型拡散層からなるサイリスタがオン状態になり、静電サージによる大きな電流が基準電圧端子に向かって流れる。これにより、パッドに印加されたサージを逃がすことができる。

【0020】本発明においては、トリガ素子と前記第 1 の第 2 導電型拡散層とを配線により接続しているため、トリガ素子をサイリスタの外部に配置することができる。これにより、サイリスタのベース長、即ち、距離 L<sub>scr</sub> を短くすることができ、ESD の放電能力を向上させることができる。また、サイリスタのトリガ電圧をトリガ素子の特性によって決定することができ、トリガ素子をサイリスタとは無関係に設計することができるため、トリガ電圧を任意に設定することができる。この結果、高い放電能力と低いトリガ電圧とを両立することができる。この結果、パッドに印加される信号電圧として広範囲な電圧範囲をとることができると共に、0.10 μm 世代の極薄ゲート酸化膜を備えた被保護回路を使用

する場合においても、トリガ電圧を被保護回路の破壊電圧よりも低く設定することにより、この被保護回路を保護することができる。また、サイリスタのサイズを小さくすることができるため、寄生容量を低減することができる。高速インターフェース回路に対応できる。

【0021】また、本発明においては、パッドをトリガ素子に直接接続せずに、第1の第1導電型拡散層、第2導電型ウェル及び第1の第2導電型拡散層を介してトリガ素子に接続しているため、サイリスタがオン状態となる前にトリガ素子が破壊される虞がない。また、パッドからトリガ素子に直接電流を流した場合、この電流はサイリスタを構成するトランジスタを通過しないため、このトランジスタのベース電流にはならないが、本発明においては、パッドからトランジスタのベースを介してトリガ素子に電流が流れるため、パッドにサージ電圧が印加されたときに、サイリスタを確実にオン状態にすることができる。

【0022】

【発明の実施の形態】以下、本発明の実施例に係る半導体集積回路の静電保護回路について、添付の図面を参照して具体的に説明する。図1は本発明の第1の実施例に係る静電保護回路の構造を示す断面図、図2(a)はその等価回路図、(b)はそのレイアウト図である。

【0023】本実施例においては、図1及び図2(b)に示すように、P型半導体基板1上にP型エピタキシャル層2が積層され、P型エピタキシャル層2の表面にNウェル(第1の第2導電型ウェル)NW1が形成されている。NウェルNW1の両端部及び中央部には、STI(Shallow Trench Isolation)による素子分離絶縁膜STI1乃至STI3が形成されている。そして、NウェルNW1の表面において、素子分離絶縁膜STI1及びSTI2により区画された領域にN<sup>+</sup>拡散層(第1の第2導電型拡散層)ND1が形成され、素子分離絶縁膜STI2及びSTI3により区画された領域にP<sup>+</sup>拡散層(第1の第1導電型拡散層)PD1が形成されている。N<sup>+</sup>拡散層ND1及びP<sup>+</sup>拡散層PD1上には、夫々シリサイド層S1及びS2が形成されている。

【0024】また、素子分離絶縁膜STI3の下にNウェルNW1と隣接するようにしてPウェル(第1の第1導電型ウェル)PW1が形成され、P型エピタキシャル層2の表面で素子分離絶縁膜STI3から離間した領域にPウェル(第2の第1導電型ウェル)PW2が形成されている。PウェルPW2の両端部には、STIによる素子分離絶縁膜STI4及びSTI5が形成されている。そして、素子分離絶縁膜STI4及びSTI5により区画された領域にP<sup>+</sup>拡散層(第2の第1導電型拡散層)PD2が形成され、素子分離絶縁膜STI3及びSTI4により区画された領域に、エクステンション構造のNチャンネルMOSトランジスタNMOSが形成されている。即ち、夫々素子分離絶縁膜STI3及びSTI4

に隣接するようにしてN<sup>+</sup>拡散層ND2及びND3が形成され、更に、夫々これらに隣接するようにしてN型拡散層ND5及びND6が形成されている。N<sup>+</sup>拡散層ND2及びND3上には、夫々シリサイド層S3及びS4が形成され、N型拡散層ND5及びND6に挟まれたチャンネル上には、ゲート絶縁膜3及びゲート電極4が積層されている。チャンネル長は、例えば0.2μmである。ゲート電極4の側方には、サイドウォール5が形成され、ゲート電極4上には、シリサイド層S6が形成されている。また、P<sup>+</sup>拡散層PD2上には、シリサイド層S5が形成されている。シリサイド層S1乃至S6は、例えばコバルトシリサイド又はチタンシリサイド等から構成されている。

【0025】そして、全面に層間絶縁膜(図示せず)が積層され、この層間絶縁膜に形成されたコンタクトホールを介して、シリサイド層S1及びS4に電源電位VDD、例えば1.5Vが供給されている。即ち、シリサイド層S1とS4とは金属配線M1によって相互に接続されている。また、シリサイド層S3、S5及びS6に接地端子GNDが接続され、シリサイド層S2に入出力パッドI/Oが接続されている。入出力パッドI/Oには内部回路(被保護回路)が接続されている。即ち、入出力パッドI/Oは、P<sup>+</sup>拡散層PD1、NウェルNW1、N<sup>+</sup>拡散層ND1及び金属配線M1を介してトリガ素子であるMOSトランジスタNMOSに接続されている。なお、金属配線とは純金属又は合金からなる配線をいう。また、金属配線には、例えば、アルミニウム(Al)又は銅(Cu)等からなる配線が使用される。

【0026】このようにして構成された本実施例の静電保護回路においては、図2(a)に示すように、P<sup>+</sup>拡散層PD1とNウェルNW1とPウェルPW1及びP型エピタキシャル層2とによりトランジスタTr1が構成され、NウェルNW1とPウェルPW1及びP型エピタキシャル層2とN<sup>+</sup>拡散層ND2とによりトランジスタTr2が構成されている。即ち、P<sup>+</sup>拡散層PD1とNウェルNW1とPウェルPW1及びP型エピタキシャル層2とN<sup>+</sup>拡散層ND2とによりサイリスタが構成されている。また、NウェルNW1及びPウェルPW2には、夫々抵抗Rnw及びRpwが寄生している。

【0027】次に、上述のように構成された第1の実施例の動作について、図1及び2を参照して説明する。入出力パッドI/Oに接地GNDに対して正極の静電サージが印加されると、MOSトランジスタNMOSのドレイン拡散層(N<sup>+</sup>拡散層ND3及びN型拡散層ND6)及びチャンネル(P型エピタキシャル層2)間で降伏(ブレイクダウン)が生じる。この結果、P<sup>+</sup>拡散層PD1、NウェルNW1、N<sup>+</sup>拡散層ND1、ドレイン拡散層(N<sup>+</sup>拡散層ND3及びN型拡散層ND6)、チャンネル(P型エピタキシャル層2)を経路とするトリガ電流I<sub>trig</sub>が流れる。I<sub>trig</sub>はP<sup>+</sup>拡散層PD1、

NウェルNW1、PウェルPW1で構成されるPNPトランジスタのエミッターベース間に電流バスを生じさせる。従って、トリガ素子となるMOSTランジスタNMOSがブレイクダウンすると同時に、前記PNPトランジスタがオン状態となる。PNPトランジスタがオン状態となると、NウェルNW1、PウェルPW1、N<sup>+</sup>拡散層ND2で構成されるNPNトランジスタがオン状態となる。その結果、P<sup>+</sup>拡散層PD1とNウェルNW1とPウェルPW1及びP型エピタキシャル層2とN<sup>+</sup>拡散層ND2とにより構成された寄生サイリスタがオン状態になる。従って、大きな電流I<sub>scr</sub>が入出力パッドI/Oから接地GNDへ流れる。このため、入出力パッドI/Oに印加されたサージは、内部回路にストレスを加えることなく接地端子GNDへと逃がされる。

【0028】このような第1の実施例においては、被保護回路としての半導体集積回路(IC)が通常動作する際の寄生容量は、P<sup>+</sup>拡散層PD1とNウェルNW1との境界のみに存在し、この境界の面積は極めて小さい。従って、数ギガ(bps)の高速動作が可能となる。また、MOSTランジスタNMOSをN<sup>+</sup>拡散層ND1に金属配線M1により接続しているため、MOSTランジスタNMOSを任意の位置に形成することができ、電流I<sub>scr</sub>が流れるP<sup>+</sup>拡散層PD1とPウェルPW1との間の距離を、NウェルNW1の深さよりも短くすることができる。即ち、従来2乃至3μm程度としている距離L<sub>scr</sub>を0.6μm程度と短縮することができる。このため、サイリスタの能力が高く、小さいサイズで高いESD耐性が得られる。

【0029】次に、第1の実施例に係る静電保護回路を製造する方法について説明する。図3(a)乃至(c)並びに図4(a)及び(b)は第1の実施例に係る静電保護回路を製造する方法を工程順に示す断面図である。

【0030】先ず、図3(a)に示すように、P型エピタキシャル層2が予め積層されたP型半導体基板1の表面に選択的にSTIにより素子分離絶縁膜STI1乃至STI5を形成する。

【0031】次に、図3(b)に示すように、素子分離絶縁膜STI3の中心下方から素子分離絶縁膜STI1の下方まで延びるNウェルNW1、素子分離絶縁膜STI3の下方でNウェルNW1とは反対側の半分の領域に収まるPウェルPW1及び素子分離絶縁膜STI4の下方から素子分離絶縁膜STI5の下方まで延びるPウェルPW2をイオン注入により、夫々選択的に形成する。NウェルNW1及びPウェルPW1における不純物濃度は、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度である。

【0032】その後、図3(c)に示すように、P型エピタキシャル層2上で素子分離絶縁膜STI3及びSTI4により区画された素子形成領域に選択的にゲート絶縁膜3及びゲート電極4を積層する。続いて、ゲート電極4及びゲート絶縁膜3をマスクとして、素子形成領域

内にイオン注入することにより、N型拡散層ND5及びND6を形成する。このイオン注入では、例えば砒素イオンを5keVの加速エネルギー且つ $5 \times 10^{14}$  (個/cm<sup>2</sup>)のドーズ量で注入する。

【0033】続いて、図4(a)に示すように、イオン注入により、素子分離絶縁膜STI1及びSTI2間にN<sup>+</sup>拡散層ND1を、素子分離絶縁膜STI2及びSTI3間にP<sup>+</sup>拡散層PD1を、素子分離絶縁膜STI4及びSTI5間にP<sup>+</sup>拡散層PD2を、夫々形成する。N<sup>+</sup>拡散層ND1の形成では、例えば砒素イオンを10keVの加速エネルギー且つ $5 \times 10^{15}$  (個/cm<sup>2</sup>)のドーズ量で注入し、P<sup>+</sup>拡散層PD1及びPD2の形成では、例えばボロンイオンを5keVの加速エネルギー且つ $5 \times 10^{15}$  (個/cm<sup>2</sup>)のドーズ量で注入する。

【0034】次いで、図4(b)に示すように、N<sup>+</sup>拡散層ND1上にコバルトシリサイド膜S1を、P<sup>+</sup>拡散層PD1上にコバルトシリサイド膜S2を、N<sup>+</sup>拡散層ND2上にコバルトシリサイド膜S3を、N<sup>+</sup>拡散層ND3上にコバルトシリサイド膜S4を、P<sup>+</sup>拡散層PD2上にコバルトシリサイド膜S5を、ゲート電極4上にコバルトシリサイド膜S6を、夫々形成する。更に、全面に層間絶縁膜(図示せず)を形成し、これにコンタクトホールを形成し、配線等を形成することにより、コバルトシリサイド膜S2に入出力パッドI/Oを接続し、コバルトシリサイド膜S1及びS4に、例えば1.5Vの電源電位が供給される電源端子VDDを接続し、コバルトシリサイド膜S3、S5及びS6に接地端子GNDを接続する。このようにして、第1の実施例に係る静電保護回路を製造することができる。

【0035】次に、本発明の第2の実施例について説明する。図5(a)は本実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。なお、図5(a)においては、図1に示されているような素子分離絶縁膜、シリサイド層、ゲート絶縁膜及びサイドウォールは図示を省略されている。

【0036】本実施例においては、図5(a)及び(b)に示すように、P型半導体基板1上にP型エピタキシャル層2が積層され、その表面にNウェルNW1が形成されている。NウェルNW1の両端部及び中央部には、素子分離絶縁膜(図示せず)が形成されている。そして、NウェルNW1の表面において、素子分離絶縁膜により区画された2の領域に夫々N<sup>+</sup>拡散層ND1及びP<sup>+</sup>拡散層PD1が形成されている。

【0037】また、P型エピタキシャル層2の表面におけるNウェルNW1の外側には、P<sup>+</sup>拡散層PD1と共にN<sup>+</sup>拡散層ND1を挟むような位置に、N<sup>+</sup>拡散層ND3が形成されており、N<sup>+</sup>拡散層ND1と共にN<sup>+</sup>拡散層ND3を挟むような位置にはN<sup>+</sup>拡散層ND2が形成されている。N<sup>+</sup>拡散層ND2及びND3はMOST



ランジスタNMOSのソース拡散層及びドレイン拡散層となっており、 $N^+$  拡散層ND2及びND3の間の領域はチャンネルとなっている。チャンネル長は、例えば0.2  $\mu m$ である。そして、このチャンネル領域上にはゲート絶縁膜（図示せず）が設けられ、このゲート絶縁膜上にはゲート電極4が設けられている。

【0038】一方、P型エビタキシャル層2の表面におけるNウェルNW1の外側には、 $N^+$  拡散層ND1と共に $P^+$  拡散層PD1を挟むような位置に、 $N^+$  拡散層ND7が設けられており、 $P^+$  拡散層PD1と共に $N^+$  拡散層ND7を挟むような位置には、 $P^+$  拡散層PD2が設けられている。 $N^+$  拡散層ND1、ND2、ND3及びND7並びに $P^+$  拡散層PD1及びPD2上には、夫々シリサイド層（図示せず）が形成されている。

【0039】そして、全面に層間絶縁膜（図示せず）が積層され、この層間絶縁膜に形成されたコンタクトホールを介して、 $N^+$  拡散層ND1及びND3に電源端子VDDが接続され、 $N^+$  拡散層ND1と $N^+$  拡散層ND3とは、金属配線M1により相互に接続されている。また、ND3ゲート電極4、 $N^+$  拡散層ND2、 $N^+$  拡散層ND7及び $P^+$  拡散層PD2は接地端子GNDへ接続され、 $P^+$  拡散層PD1に入出力パッドI/Oが接続されている。入出力パッドI/Oには内部回路（被保護回路）が接続されている。なお、P型エビタキシャル層2の表面におけるNウェルNW1以外の領域の一部には、Pウェルが形成されていてもよい。

【0040】このようにして構成された本実施例の静電保護回路においては、図5（b）に示すように、 $P^+$  拡散層PD1とNウェルNW1とP型エビタキシャル層2とによりトランジスタTr1が構成され、NウェルNW1とP型エビタキシャル層2と $N^+$  拡散層ND2とによりトランジスタTr2が構成されている。即ち、 $P^+$  拡散層PD1とNウェルNW1とP型エビタキシャル層2と $N^+$  拡散層ND2とによりサイリスタが構成されている。また、NウェルNW1及びP型エビタキシャル層2には、夫々抵抗Rnw及びRpwが寄生している。

【0041】本第2実施例の動作について、図5（a）及び（b）を参照して説明する。入出力パッドI/Oに接地GNDに対して正極の静電サージが印加されると、MOSTランジスタNMOSのドレイン拡散層（ $N^+$  拡散層ND3）及びチャンネル（P型エビタキシャル層2）間で降伏（ブレイクダウン）が生じる。この結果、 $P^+$  拡散層PD1、NウェルNW1、 $N^+$  拡散層ND1、金属配線M1、ドレイン拡散層（ $N^+$  拡散層ND3）、チャンネル（P型エビタキシャル層2）を経路とするトリガ電流Itrigが流れる。Itrigは $P^+$  拡散層PD1、NウェルNW1、P型エビタキシャル層2で構成されるPNPトランジスタのエミッターベース間に電流パスを生じさせる。従って、トリガ素子となるMOSTランジスタNMOSがブレイクダウンすると、同時に前記

PNPトランジスタがオン状態となる。PNPトランジスタがオン状態となると、NウェルNW1、P型エビタキシャル層2、 $N^+$  拡散層ND7で構成されるNPNTランジスタがオン状態となる。その結果、 $P^+$  拡散層PD1とNウェルNW1とP型エビタキシャル層2と $N^+$  拡散層ND7とにより構成された寄生サイリスタがオン状態になる。従って、大きな電流Iscrが入出力パッドI/Oから接地GNDへ流れる。このため、入出力パッドI/Oに印加されたサージは、内部回路にストレスを加えることなく接地端子GNDへと逃がされる。

【0042】本実施例においては、前述の第1の実施例と異なり、MOSTランジスタNMOSのソース（ $N^+$  拡散層ND2）とサイリスタのカソード（ $N^+$  拡散層ND7）とが共通ではないので、MOSTランジスタNMOSを配置する位置の自由度が高く、レイアウト設計の自由度が増大する。

【0043】次に、本発明の第3の実施例について説明する。図6（a）は本実施例に係る静電保護回路の構造を示す断面図であり、（b）はその等価回路図である。なお、図6（a）においては、図5（a）と同様に、図1に示されているような素子分離絶縁膜、シリサイド層、ゲート絶縁膜及びサイドウォールは図示を省略されている。

【0044】本実施例においては、図6（a）及び（b）に示すように、前述の第2の実施例と比較して、P型エビタキシャル層2の表面における $N^+$  拡散層ND7と $P^+$  拡散層PD2との間にNウェルNW2が設けられ、このNウェルNW2の表面に $N^+$  拡散層ND8が形成されている。 $N^+$  拡散層ND8の表面にはシリサイド層（図示せず）が形成され、このシリサイド層に入出力パッドI/Oが接続されている。即ち、入出力パッドI/Oは $P^+$  拡散層PD1及び内部回路（図示せず）の他に、 $N^+$  拡散層ND8にも接続されている。 $P^+$  拡散層PD2及びP型エビタキシャル層2とNウェルNW2及び $N^+$  拡散層ND8とにより、PN接合ダイオードD7が形成されている。本実施例における上記以外の構成は、前述の第2の実施例と同様である。

【0045】本第3実施例の動作について、図6（a）及び（b）を参照して説明する。入出力パッドI/Oに接地GNDに対して正極の静電サージが印加された場合は、前述の第2の実施例と同様な動作により、静電サージは接地端子GNDへ逃がされ、内部回路を保護することができる。また、入出力パッドI/Oへ接地端子GNDに対して負極の静電サージが印加された場合には、 $P^+$  拡散層PD2及びP型エビタキシャル層2とNウェルNW2及び $N^+$  拡散層ND8とにより形成されているPN接合ダイオードD7がオン状態となり、この負極の静電サージがPN接合ダイオードD7を通じて接地端子GNDへ逃がされ、負極の静電サージからも内部回路を保護することができる。

【0046】また、サイリスタのカソードであるN<sup>+</sup>拡散層ND7とNPNTランジスタのベースコンタクトであるP<sup>+</sup>拡散層PD2との間にNウェルNW2を配置し、両者を離すことにより、NPNTランジスタの性能を向上させることもできる。

【0047】次に、本発明の第4の実施例について説明する。図7(a)は本実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。なお、図7(a)においても、図5(a)及び図6

(a)と同様に、図1に示されているような素子分離絶縁膜、シリサイド層、ゲート絶縁膜及びサイドウォールは図示を省略されている。

【0048】本実施例においては、図7(a)及び(b)に示すように、前述の第3の実施例と比較して、N<sup>+</sup>拡散層ND2とゲート電極4との間に抵抗R1が接続されており、N<sup>+</sup>拡散層ND3とゲート電極4との間にキャパシタC1が接続されている。即ち、MOSTランジスタNMOSにおいて、ソース領域及びドレイン領域とゲート電極との間に、夫々抵抗及びキャパシタが設けられている。本実施例における上記以外の構成は、前述の第3の実施例と同様である。

【0049】本実施例においては、前述の第3の実施例と比較して、ゲートドレイン間の容量結合効果により、MOSTランジスタNMOSのブレイクダウン電圧を低減することができる。これにより、サイリスタのトリガ電圧V<sub>trig</sub>を下げることができ、内部回路をより確実に保護することができる。

【0050】次に、本発明の第5の実施例について説明する。図8(a)は本実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。なお、図8(a)においても、素子分離絶縁膜、シリサイド層、ゲート絶縁膜及びサイドウォールは図示を省略されている。

【0051】本実施例においては、図8(a)及び(b)に示すように、前述の第4の実施例と比較して、抵抗R1及びキャパシタC1の間のノードNと、ゲート電極4との間に3個のインバータ9a、9b及び9cが直列に設けられている。本実施例における上記以外の構成は、前述の第4の実施例と同様である。第5の実施例においても、第4の実施例と同様にNMOSのブレイクダウン電圧を低減でき、トリガ電圧V<sub>trig</sub>を下げる事ができる。なお、本実施例では、インバータを奇数段縦続接続しているが、このインバータ9a、9b及び9cにより構成される回路を、抵抗R1とキャパシタC1との接続点に入力される信号を所定時間遅延させる遅延回路に置き換えることができる。

【0052】次に、本発明の第6の実施例について説明する。図9(a)は本実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。なお、図9(a)においても、素子分離絶縁膜、シリサ

イド層、ゲート絶縁膜及びサイドウォールは図示を省略されている。

【0053】本実施例においては、図9(a)及び(b)に示すように、前述の第3の実施例と比較して、第3の実施例におけるNウェルNW1(図6(a)参照)が、1方向に配列された3ヶ所のNウェルNW3、NW4及びNW5に分割されている。そして、NウェルNW3の表面にはN<sup>+</sup>拡散層ND1及びP<sup>+</sup>拡散層PD3が形成されており、NウェルNW4の表面にはN<sup>+</sup>拡散層ND9及びP<sup>+</sup>拡散層PD4が形成されており、NウェルNW5の表面にはN<sup>+</sup>拡散層ND10及びP<sup>+</sup>拡散層PD1が形成されている。N<sup>+</sup>拡散層ND1、P<sup>+</sup>拡散層PD3、N<sup>+</sup>拡散層ND9、P<sup>+</sup>拡散層PD4、N<sup>+</sup>拡散層ND10及びP<sup>+</sup>拡散層PD1はこの順に1列に配置されている。P<sup>+</sup>拡散層PD3はN<sup>+</sup>拡散層ND9に接続されており、P<sup>+</sup>拡散層PD4はN<sup>+</sup>拡散層ND10に接続されている。本実施例においては、P<sup>+</sup>拡散層PD4とNウェルNW4とによりPN接合ダイオードD10aが形成され、P<sup>+</sup>拡散層PD3とNウェルNW3とによりPN接合ダイオードD10bが形成されている。このPN接合ダイオードD10a及びD10bは入出力パッドI/Oから電源端子VDDに向かう方向にのみ電流が流れるようになっている。また、NウェルNW3、NW4、NW5には、夫々抵抗R<sub>nw3</sub>、R<sub>nw4</sub>、R<sub>nw5</sub>が寄生している。本実施例における上記以外の構成は、前述の第3の実施例と同様である。

【0054】本実施例においては、前述の第3の実施例と比較して、入出力パッドI/Oと電源端子VDDとの間に複数のダイオードが設けられているため、電源電圧が0Vへダウンしても、入出力パッドI/Oへ与えられる信号電圧がこれらのダイオードが導通する電圧以下であれば、入出力パッドI/Oから電源端子VDDに電流が流れることはなく、内部回路の誤動作を防止することができる。即ち、フェイルセーフ機能を実現できる。なお、ダイオードの個数は信号電圧レベルによって調整する必要がある。

【0055】次に、本発明の第7の実施例について説明する。本実施例は、前述の第6の実施例と第4の実施例を組み合わせた実施例である。本実施例においては、図9(a)に示す前述の第6の実施例と比較して、N<sup>+</sup>拡散層ND2とゲート電極4との間に抵抗が接続されており、N<sup>+</sup>拡散層ND3とゲート電極4との間にキャパシタが接続されている。即ち、MOSTランジスタNMOSにおいて、ソース領域及びドレイン領域とゲート電極との間に、夫々抵抗及びキャパシタが設けられている。本実施例における上記以外の構成は、前述の第6の実施例と同様である。

【0056】本実施例においては、前述の第6の実施例と比較して、ゲートドレイン間の容量結合効果により、MOSTランジスタNMOSのブレイクダウン電圧

を低減することができる。これにより、サイリスタのトリガ電圧  $V_{trig}$  を下げることができ、内部回路をより確実に保護することができる。

【0057】次に、本発明の第8の実施例について説明する。本実施例は、前述の第6の実施例と第5の実施例を組み合わせた実施例である。即ち、前述の第7の実施例と比較して、抵抗及びキャパシタの間と、ゲート電極4との間に3個のインバータが直列に設けられている。本実施例における上記以外の構成は、前述の第7の実施例と同様である。

【0058】次に、本発明の第9の実施例について説明する。本実施例は、前述の第3の実施例と比較して、NウェルNW1を電源端子VDDへ接続していない点が異なっている。本実施例における上記以外の構成は前述の第3の実施例と同様である。本実施例においては、電源端子VDDと接地端子GNDとの間の静電サージ(ESD)により、MOSトランジスタNMOSが破壊されることを防止できる。このため、MOSトランジスタNMOSを小さくできる。なお、本実施例においては、前述の第4の実施例と同様に、MOSトランジスタNMOSのソース領域及びドレイン領域とゲート電極との間に、夫々抵抗及びキャパシタを設けてもよい。また、前述の第5の実施例と同様に、前記抵抗及びキャパシタの間と、ゲート電極との間にインバータを設けてもよい。

【0059】次に、本発明の第10の実施例について説明する。本実施例は、前述の第6の実施例と第9の実施例とを組み合わせた実施例である。即ち、前述の第6の実施例と比較して、NウェルNW1を電源端子VDDへ接続していない点が異なっている。本実施例における上記以外の構成は前述の第6の実施例と同様である。これにより、電源端子VDDと接地端子GNDとの間の静電サージ(ESD)により、MOSトランジスタNMOSが破壊されることを防止できる。このため、MOSトランジスタNMOSを小さくできる。なお、本実施例においては、前述の第7の実施例と同様に、MOSトランジスタNMOSのソース領域及びドレイン領域とゲート電極との間に、夫々抵抗及びキャパシタを設けてもよい。また、前述の第8の実施例と同様に、前記抵抗及びキャパシタの間と、ゲート電極との間にインバータを設けてもよい。

【0060】次に、本発明の第11の実施例について説明する。図10は本実施例に係る静電保護回路の構造を示す断面図、図11(a)はその等価回路図、(b)はそのレイアウト図である。

【0061】本実施例においては、図10及び図11(b)に示すように、P型半導体基板1の表面に、Nウェル(第1の第2導電型ウェル)NW1、NW2及びNW3が1方向に並ぶようにして形成され、更にNウェルNW1、NW2及びNW3と接しこれらを取り囲むようにしてPウェル(第1導電型ウェル)PWが形成されて

いる。NウェルNW1、NW2及びNW3並びにPウェルPWの深さは、例えば互いに同程度である。

【0062】また、NウェルNW1の表面にP<sup>+</sup>拡散層(第1の第1導電型拡散層)PD1及びN<sup>+</sup>拡散層(第1の第2導電型拡散層)ND1が形成され、NウェルNW2の表面にP<sup>+</sup>拡散層PD3及びN<sup>+</sup>拡散層ND3が形成され、NウェルNW3の表面にP<sup>+</sup>拡散層PD4及びN<sup>+</sup>拡散層ND4が形成されている。P<sup>+</sup>拡散層PD1、N<sup>+</sup>拡散層ND1、P<sup>+</sup>拡散層PD3、N<sup>+</sup>拡散層ND3、P<sup>+</sup>拡散層PD4及びN<sup>+</sup>拡散層ND4は、NウェルNW1、NW2及びNW3が並ぶ方向においてこの順で並ぶようにして配置されている。更に、PウェルPWの表面においてN<sup>+</sup>拡散層ND1との間でP<sup>+</sup>拡散層PD1を挟む位置にN<sup>+</sup>拡散層(第2の第2導電型拡散層)ND2が形成され、更にNウェルNW1乃至NW3及びN<sup>+</sup>拡散層ND2を取り囲むようにしてP<sup>+</sup>拡散層(第2の第1導電型拡散層)PD2がPウェルPWの表面に形成されている。従って、P<sup>+</sup>拡散層PD2は平面視で、例えば「□」の字形であり、N<sup>+</sup>拡散層ND2はこのP<sup>+</sup>拡散層PD2とNウェルNW1との間の領域に位置している。そして、各ウェルの拡散層が形成されていない領域には、例えばSTI(Shallow Trench Isolation)による素子分離絶縁膜STIが形成され、各拡散層上に、例えばCoSi<sub>2</sub>又はTiSi<sub>2</sub>等からなるシリサイド層Sが形成されている。

【0063】更に、全面に層間絶縁膜(図示せず)が積層され、この層間絶縁膜の各シリサイド層S上に形成されたコンタクトホールを介して、N<sup>+</sup>拡散層ND4、N<sup>+</sup>拡散層ND2及びP<sup>+</sup>拡散層PD2は接地端子GNDへ接続され、P<sup>+</sup>拡散層PD1に入出力パッドI/Oが接続され、N<sup>+</sup>拡散層ND1とP<sup>+</sup>拡散層PD3とが金属配線M2により互いに接続され、N<sup>+</sup>拡散層ND3とP<sup>+</sup>拡散層PD4とが金属配線M3により互いに接続されている。入出力パッドI/Oには内部回路(被保護回路)が接続されている。

【0064】このようにして構成された本実施例においては、図11(a)に示すように、P<sup>+</sup>拡散層PD3とNウェルNW2及びN<sup>+</sup>拡散層ND3とによりPN接合ダイオード(第2のダイオード)D2が構成され、P<sup>+</sup>拡散層PD4とNウェルNW3及びN<sup>+</sup>拡散層ND4とによりPN接合ダイオード(第2のダイオード)D3が構成されている。そして、ダイオードD2及びD3によりトリガ素子が形成されている。また、P<sup>+</sup>拡散層PD1とNウェルNW1とPウェルPWとによりPNPトランジスタTr1が構成され、NウェルNW1とPウェルPWとN<sup>+</sup>拡散層ND2とによりNPNトランジスタTr2が構成されている。即ち、P<sup>+</sup>拡散層PD1とNウェルNW1とPウェルPWとN<sup>+</sup>拡散層ND2とによりサイリスタが構成されている。また、NウェルNW1には、抵抗(第1の寄生抵抗)R<sub>nw1</sub>が寄生し、Nウェ

ルNW2及びNW3には、各々抵抗(第2の寄生抵抗)  $R_{nw2}$  及び  $R_{nw3}$  が寄生し、PウェルPWには、抵抗(第3の寄生抵抗)  $R_{pw}$  が寄生している。

【0065】次に、上述のように構成された第11の実施例の動作について、図10並びに図11(a)及び(b)を参照して説明する。入出力パッドI/Oへ接地端子GNDに対して正極の静電サージが印加されると、P<sup>+</sup> 拡散層PD1、NウェルNW1、N<sup>+</sup> 拡散層ND1、金属配線M2、P<sup>+</sup> 拡散層PD3、NウェルNW2、N<sup>+</sup> 拡散層ND3、金属配線M3、P<sup>+</sup> 拡散層PD4、NウェルNW3及びN<sup>+</sup> 拡散層ND4からなるPNPトランジスタのエミッターベース間及び2個の直列順方向ダイオードを経路とするトリガ電流  $I_{trig}$  が流れる。 $I_{trig}$  はP<sup>+</sup> 拡散層PD1、NウェルNW1、PウェルPWで構成されるPNPトランジスタのエミッターベース間に電流パスを生じさせる。従って、トリガ素子となるダイオードD2及びD3が導通すると同時に、前記PNPトランジスタがオン状態となる。PNPトランジスタがオン状態となると、NウェルNW1、PウェルPW、N<sup>+</sup> 拡散層ND2で構成されるNPNトランジスタがオン状態となる。その結果、P<sup>+</sup> 拡散層PD1とNウェルNW1とPウェルPWとN<sup>+</sup> 拡散層ND2とにより構成された寄生サイリスタがオン状態になる。従って、大きな電流  $I_{scr}$  が入出力パッドI/Oから接地端子GNDへ流れる。このため、入出力パッドI/Oに印加されたサージは、内部回路に印加されことなく接地端子GNDへ逃がされる。

【0066】このような第11の実施例においては、ダイオードD2及びD3からなるトリガ素子が、金属配線M2を介して、PNPトランジスタTr1のベースであるNウェルNW1及びN<sup>+</sup> 拡散層ND1に接続されているため、前記トリガ素子を任意の位置に形成することができ、電流  $I_{scr}$  が流れるP<sup>+</sup> 拡散層PD1とPウェルPWとの間の距離を、NウェルNW1及びPウェルPWの深さよりも短くすることができる。これにより、従来2乃至3  $\mu\text{m}$  程度としている距離  $L_{scr}$  を0.6  $\mu\text{m}$  程度と短縮することができるため、距離  $L_{scr}$  の短縮によってサイリスタの放電能力を向上させることが可能なので、高いESD耐性が得られる。被保護回路としての半導体集積回路(IC)が通常動作する際の保護素子による寄生容量は、直列接続されたP<sup>+</sup> 拡散層とNウェルとの間の拡散容量である。本実施例においては、距離  $L_{scr}$  を小さくできるので、サイリスタの放電能力が向上し、P<sup>+</sup> 拡散層の面積は小さくても十分なESD耐性を確保できるので、寄生容量の低容量化が可能となる。P<sup>+</sup> 拡散層の面積は、例えば100  $\mu\text{m}^2$  程度で十分である。そのときの寄生容量は高々100 fF程度となり、数Gbpsの高速動作が可能となる。例えば、HBM(Human Body Model)では4000V、MM(Machine Model)では400V、CDM(Charged Device Model)では1000V程度の高いESD耐性が得られる。

del)では1000V程度の高いESD耐性が得られる。

【0067】更に、トリガ電圧をトリガ素子(ダイオードD2及びD3)の特性を調整することによって任意に設定することができる。この結果、入出力パッドに印加される信号電圧として広範囲な電圧範囲をとることができる。

【0068】更にまた、MOSトランジスタを用いることなく、保護素子を構成できるので、内部回路を製造するための工程に保護素子のための工程を追加することなく製造することができる。つまり、内部回路を構成するMOSトランジスタのゲート酸化膜を19Å程度としても、静電保護回路内においてMOSトランジスタのゲート絶縁膜を厚くするための工程が不要である。

【0069】なお、上述のような第11の実施例に係る静電保護回路を製造する際には、各Nウェル及びPウェルの不純物濃度は、例えば  $5 \times 10^{17} \text{ cm}^{-3}$  程度とすることができ、各N<sup>+</sup> 拡散層の形成では、例えば砒素イオンを10keVの加速エネルギー且つ  $5 \times 10^{15}$  (個/ $\text{cm}^2$ ) のドーズ量で注入し、各P<sup>+</sup> 拡散層の形成では、例えばボロンイオンを5keVの加速エネルギー且つ  $5 \times 10^{15}$  (個/ $\text{cm}^2$ ) のドーズ量で注入することができるが、これらに限定されるものではない。

【0070】また、第11の実施例では、PNPトランジスタのベースと接地端子GNDとの間に2個のPN接合ダイオードが設けられているが、通常動作で入出力パッドI/Oに供給される信号電圧と各PN接合ダイオードの電圧降下との関係に応じてその数は適宜変更することができる。例えば、信号電圧が1.5V程度のときは、PN接合ダイオードの数は2個程度でよいが、信号電圧が2.5V程度となる場合には、PN接合ダイオードの数は4個程度必要となる。このように、PN接合ダイオードの最適数は、通常動作時における入出力パッドI/Oと接地端子GNDとの間のリーク電流を考慮して決定される。

【0071】次に、本発明の第12の実施例について説明する。図12は本発明の第12の実施例に係る静電保護回路の構造を示す断面図、図13(a)はその等価回路図、(b)はそのレイアウト図である。なお、図12及び図13に示す第12の実施例において、図10及び図11に示す第11の実施例と同様の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0072】第12の実施例においては、図12及び図13(b)に示すように、半導体基板1の表面においてNウェルNW2との間でNウェルNW3を挟む位置にNウェルNW4がNウェルNW1乃至NW3及びPウェルPWと同程度の深さで形成され、その表面にN<sup>+</sup> 拡散層ND5が形成されている。また、N<sup>+</sup> 拡散層ND5上には、シリサイド層Sが形成されている。N<sup>+</sup> 拡散層ND

5 には、層間絶縁膜（図示せず）に形成されたコンタクトホールを介して入出力パッド I/O が接続されている。

【0073】このようにして構成された本実施例においては、図 13 (a) に示すように、P<sup>+</sup> 拡散層 PD2、P ウェル PW 及び P 型半導体基板 1 と、N ウェル NW4 及び N<sup>+</sup> 拡散層 ND5 とにより PN 接合ダイオード D4 が構成される。

【0074】このため、入出力パッド I/O へ接地端子 GND に対して正極のサージが印加された場合には、第 11 の実施例と同様の動作により、サージが接地端子 GND に逃がされ、接地端子 GND に対して負極のサージが入出力パッド I/O へ印加された場合には、PN 接合ダイオード D4 が順バイアスされて負極サージが接地端子 GND に逃がされる。従って、正極及び負極のいずれのサージに対しても内部回路を保護することが可能である。

【0075】次に、本発明の第 13 の実施例について説明する。図 14 は本発明の第 13 の実施例に係る静電保護回路の構造を示す等価回路図である。第 13 の実施例においては、入出力パッド I/O と内部回路 10 とを接続する信号線と接地端子 GND へ接続される接地配線との間に、PN 接合ダイオード D5 及び保護回路 11 が接続されている。また、電源端子 VDD へ接続される電源配線と接地配線との間に、PN 接合ダイオード D6 及び保護回路 12 が接続されている。内部回路 10 は電源配線と接地配線との間に接続されている。保護回路 11 及び 12 の構造は、図 11 (a) に示す第 11 の実施例の構造と同様である。即ち、保護回路 11 及び 12 には、順方向に直列に接続された PN 接合ダイオード D2 及び D3 並びに PNP トランジスタ Tr1 及び NPN トランジスタ Tr2 が設けられ、更にこれらを構成するウェルに抵抗が寄生している。但し、保護回路 12 においては、入出力パッド I/O の代わりに電源配線が接続されている。また、PN 接合ダイオード D5 及び D6 の構造は、第 12 の実施例における PN 接合ダイオード D4 の構造と同様である。

【0076】このように構成された第 13 の実施例においては、入出力パッド I/O へ接地端子 GND に対して正極又は負極のサージが印加された場合には、第 12 の実施例と同様の動作により、サージが接地端子 GND に逃がされる。また、入出力パッド I/O へ電源端子 VDD に対して正極のサージが印加された場合には、保護回路 11 が導通状態になると共に、PN 接合ダイオード D6 が順バイアスされる。このため、正極のサージは保護回路 11 及び PN 接合ダイオード D6 を介して電源端子 VDD に逃がされる。更に、入出力パッド I/O へ電源端子 VDD に対して負極のサージが印加された場合には、PN 接合ダイオード D5 が順バイアスされると共に、保護回路 12 が導通状態になる。このため、負極の

サージは PN 接合ダイオード D5 及び保護回路 12 を介して電源端子 VDD に逃がされる。従って、電源端子 VDD に対する正極及び負極のいずれのサージに対しても内部回路を保護することが可能となる。

【0077】次に、本発明の第 14 の実施例について説明する。第 14 の実施例は、デジタル・アナログ混載回路に本発明を適用したものである。図 15 は本発明の第 14 の実施例に係る静電保護回路の構造を示す等価回路図である。第 14 の実施例においては、アナログ処理を行う内部回路 10 a の保護用に、図 12 と同様の構成の PN 接合ダイオード D5 a 及び D6 a 並びに保護回路 11 a 及び 12 a が設けられ、デジタル処理を行う内部回路 10 d の保護用に、図 12 と同様の構成の PN 接合ダイオード D5 d 及び D6 d 並びに保護回路 11 d 及び 12 d が設けられている。

【0078】また、内部回路 10 a はアナログ回路用の電源端子 VDD a 及びアナログ回路用の接地端子 GND a に接続され、内部回路 10 d はデジタル回路用の電源端子 VDD d 及びデジタル回路用の接地端子 GND d に接続されている。更に、サージ退避用の接地端子 GND に接続された接地配線が設けられ、この接地配線に PN 接合ダイオード D5 a、D5 d、D6 a 及び D6 d 並びに保護回路 11 a、11 d、12 a 及び 12 d が接続されている。接地端子 GND a に接続された接地配線と接地端子 GND に接続された接地配線との間には、ダイオード D7 a 及び D8 a が互いに逆方向を向いて並列に接続され、接地端子 GND d に接続された接地配線と接地端子 GND に接続された接地配線との間には、ダイオード D7 d 及び D8 d が互いに逆方向を向いて並列に接続されている。

【0079】このように構成された第 14 の実施例においては、異電源の系統間でもサージを逃がすことが可能となる。なお、ダイオード D7 a、D7 d、D8 a 及び D8 d は、接地線間でのノイズの伝播を防止するために設けられているものである。

【0080】前述の第 1 の実施例に示すような N チャネル MOS トランジスタ NMOS のチャネルは、必ずしも P 型エピタキシャル層 2 になっている必要はなく、マスク形状等の製造のしやすさを考慮して、N チャネル MOS トランジスタ NMOS のチャネル並びに P ウェル PW1 及び PW2 を含むような P ウェルが形成されてもよい。本発明の第 15 の実施例は、前述の第 1 の実施例において、MOS トランジスタ NMOS のチャネル並びに P ウェル PW1 及び PW2 を含むような P ウェルが形成されている実施例である。図 16 は本発明の第 15 の実施例に係る静電保護回路の構造を示す断面図である。なお、図 16 に示す第 15 の実施例において、図 1 に示す第 1 の実施例と同様の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0081】第 15 の実施例においては、図 1 に示す P

ウェルPW1及びPW2の替わりに、素子分離絶縁膜STI3の下方から素子分離絶縁膜STI5の下方まで延在するPウェルPW10が形成されている。

【0082】このように構成された第15の実施例においては、P<sup>+</sup>拡散層PD1と、NウェルNW1と、PウェルPW10とによりトランジスタTr1が構成され、NウェルNW1と、PウェルPW10と、N<sup>+</sup>拡散層ND2とによりトランジスタTr2が構成され、第1の実施例と同様の動作が行われる。

【0083】このような第15の実施例に係る静電保護回路を製造するためには、第1の実施例を製造する方法において、PウェルPW1及びPW2を形成する工程の替わりにPウェルPW10を形成すればよい。

【0084】次に、本発明の第16の実施例について説明する。図17は本発明の第16の実施例に係る静電保護回路の構造を示す断面図、図18(a)はその等価回路図、(b)はそのレイアウト図である。なお、図17及び図18に示す第16の実施例において、図1及び図2に示す第1の実施例と同様の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0085】第16の実施例においては、図17及び図18(b)に示すように、P型エピタキシャル層2の表面において、素子分離絶縁膜STI1の下方にNウェルNW1に隣接するようにしてPウェルPW3が形成され、更にこのPウェルPW3に隣接し素子分離絶縁膜STI1の外方まで延在するNウェルNW2が形成されている。NウェルNW2の端部には、STI1による素子分離絶縁膜STI6が形成されている。また、NウェルNW2の表面にN<sup>+</sup>拡散層ND7が形成され、その上にシリサイド層S7が形成されている。このシリサイド層S7は入出力パッドI/Oに接続されている。

【0086】このようにして構成された本実施例においては、図18(a)に示すように、P<sup>+</sup>拡散層PD2、PウェルPW2及びP型エピタキシャル層2と、NウェルNW2及びN<sup>+</sup>拡散層ND7とによりPN接合ダイオードD2が構成される。

【0087】このため、入出力パッドI/Oに接地GNDに対して正極のサージが印加された場合には、第1の実施例と同様の動作により、サージが接地GNDに逃がされ、接地GNDに対して負極のサージが入出力パッドI/Oに印加された場合には、PN接合ダイオードD2が順バイアスされて負極サージが接地GNDに逃がされる。従って、正極及び負極のいずれのサージに対しても内部回路を保護することが可能である。

【0088】このような第16の実施例に係る静電保護回路を製造するためには、第1の実施例を製造する方法において、NウェルNW1と同時にNウェルNW2を形成し、PウェルPW1と同時にPウェルPW3を形成し、N<sup>+</sup>拡散層ND1等と同時にN<sup>+</sup>拡散層ND7を形成し、コバルトシリサイド層S1等と同時にコバルトシ

リサイド層S7を形成し、入出力パッドI/Oに接続される配線をN<sup>+</sup>拡散層ND7にも接続するようにすればよい。

【0089】次に、本発明の第17の実施例について説明する。図19は本発明の第17の実施例に係る静電保護回路の構造を示す断面図、図20はその等価回路図、図21はそのレイアウト図である。なお、図19乃至図21に示す第17の実施例において、図17及び図18に示す第16の実施例と同様の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0090】第17の実施例においては、図19及び図21に示すように、PウェルPW3とNウェルNW2との間に、NウェルNW4、PウェルPW5、NウェルNW3及びPウェルPW4がこの順で形成されている。NウェルNW2とNウェルNW3との間にはPウェルPW4を覆うようにしてSTI1による素子分離絶縁膜STI7が形成され、NウェルNW3とNウェルNW4の間にはPウェルPW5を覆うようにしてSTI1による素子分離絶縁膜STI8が形成されている。また、夫々NウェルNW3及びNW4の各表面を二分するSTI1による素子分離絶縁膜STI9及びSTI10が形成されている。NウェルNW3の表面においては、素子分離絶縁膜STI7及びSTI9間にN<sup>+</sup>拡散層ND8が形成され、素子分離絶縁膜STI9及びSTI8間にP<sup>+</sup>拡散層PD3が形成されている。N<sup>+</sup>拡散層ND8及びP<sup>+</sup>拡散層PD3上には、夫々コバルトシリサイド膜S8及びS9が形成されている。NウェルNW4の表面においては、素子分離絶縁膜STI8及びSTI10間にN<sup>+</sup>拡散層ND9が形成され、素子分離絶縁膜STI10及びSTI11間にP<sup>+</sup>拡散層PD4が形成されている。N<sup>+</sup>拡散層ND9及びP<sup>+</sup>拡散層PD4上には、夫々コバルトシリサイド膜S10及びS11が形成されている。

【0091】また、電源端子VDDはコバルトシリサイド層S1ではなくコバルトシリサイド層S8に接続されており、コバルトシリサイド層S1とコバルトシリサイド層S11とが接続され、コバルトシリサイド層S10とコバルトシリサイド層S9とが接続されている。

【0092】このように構成された第17の実施例においては、図20に示すように、P<sup>+</sup>拡散層PD4とNウェルNW4及びN<sup>+</sup>拡散層ND9とによりPN接合ダイオードD3が構成され、P<sup>+</sup>拡散層PD3とNウェルNW3及びN<sup>+</sup>拡散層ND8とによりPN接合ダイオードD4が構成されている。従って、ダイオードD3及びD4が互いに直列に接続されている。また、NウェルNW4に抵抗Rnw4が寄生し、NウェルNW3に抵抗Rnw3が寄生している。

【0093】ダイオードD3及びD4が0.5V程度で導通すると仮定した場合、第1乃至第3の実施例において通常動作時に電源端子VDDに供給される1.5Vの電源電位が何らかの理由によって低下し、同時に入出力



パッド I/O に 1.5V 程度の信号電圧が入力されると、入出力パッド I/O から電源端子 VDD に漏れ電流が流れることになり、集積回路が誤動作を起こす。一方、第 17 の実施例によれば、電源電位 VDD が低下した場合に、入出力パッド I/O に 1.5V 程度の信号電圧が入力されても、電源端子 VDD へ漏れ電流が流れることはなく、誤動作を防止することができる（フェールセーフ機能）。

【0094】このような第 17 の実施例に係る静電保護回路を製造するためには、第 16 の実施例を製造する方法において、N ウェル NW1 と同時に N ウェル NW3 及び NW4 を形成し、P ウェル PW1 等と同時に P ウェル PW4 及び PW5 を形成し、N<sup>+</sup> 拡散層 ND1 等と同時に N<sup>+</sup> 拡散層 ND8 及び ND9 を形成し、P<sup>+</sup> 拡散層 PD1 等と同時に P<sup>+</sup> 拡散層 PD3 及び PD4 を形成し、コバルトシリサイド層 S1 等と同時にコバルトシリサイド層 S8 乃至 S11 を形成し、コバルトシリサイド層 S9 とコバルトシリサイド層 S10 とを接続する配線及びコバルトシリサイド層 S1 とコバルトシリサイド層 S11 とを接続する配線を形成すればよい。

【0095】なお、第 16 及び第 17 の実施例においても、第 15 の実施例と同様に、N チャンネル MOS トランジスタ NMOS のチャンネルにも P ウェルが形成されていてもよい。

【0096】また、前述の各実施例に係る静電保護回路を 1 次保護素子として、入出力パッド I/O と内部回路との間に 2 次保護素子を設けることが好ましい。図 22 は 2 次保護素子の適用例を示す回路図である。2 次保護素子は、例えば入出力パッド I/O と内部回路（被保護回路）との間に接続された抵抗素子 R1 と、この抵抗素子 R1 と内部回路との間にドレインが接続され接地にソース及びゲートが接続された N チャンネル MOS トランジスタ NM1 と、抵抗素子 R1 と内部回路との間にドレインが接続され接地にゲートが接続され電源端子 VDD にソースが接続された N チャンネル MOS トランジスタ NM2 と、により構成することができる。なお、2 次保護素子の形態はこれに限定されるものではない。

【0097】更に、各ウェル及び拡散層等の導電型が、前述の各実施例におけるものと逆導電型になっていてもよい。この場合、入出力パッドと接地端子とが接続される部分が入れ替わることになる。

【0098】また、これらの実施例においては、P 型半導体基板 1 上に P 型エピタキシャル層 2 が形成されているが、P 型エピタキシャル層 2 は必ずしも形成されている必要はなく、P ウェル PW1 及び PW2 並びに N ウェル NW1 等が P 型半導体基板 1 の表面に直接形成されていてもよい。また、前述の各実施例においては、トリガ素子を接続する配線として金属配線を使用する例を示したが、本発明はこれに限定されず、例えば TiN 等の金属以外の導電性材料からなる配線を使用してもよい。更

に、前述の各実施例において示された入出力パッド I/O は、外部端子からの入力信号を受ける入力回路又は出力回路の出力端子に接続されたパッドであってもよく、電源端子に接続され内部回路へ電源電圧を供給する電源パッドであってもよい。いずれの場合においても本発明の効果を奏することは、以上の説明から理解される。

【0099】次に、本発明の請求の範囲から外れる比較例について説明する。図 23 は、本発明の比較例を示す図であって、(a) は断面図、(b) は等価回路図である。本比較例においては、図 24 に示す従来の静電保護回路に対し、MOS トランジスタのソース及びドレインの位置を入れ替えている。即ち、この比較例の静電保護回路においては、図 23 (a) に示すように、トランジスタ NMOS の N<sup>+</sup> 拡散層 ND102 及び N<sup>+</sup> 拡散層 ND103 の位置が入れ替わっており、N<sup>+</sup> 拡散層 ND103 と P<sup>+</sup> 拡散層 PD101 との間に素子分離絶縁膜 STI が形成されている。また、入出力パッド I/O は、N<sup>+</sup> 拡散層 ND101 及び P<sup>+</sup> 拡散層 PD101 だけでなく、N<sup>+</sup> 拡散層 ND102 にも接続されている。

【0100】このような構成では、図 24 に示す従来例と同様に、P<sup>+</sup> 拡散層 PD101 と N ウェル NW101 と P ウェル PW101 と N<sup>+</sup> 拡散層 ND103 とによりサイリスタが構成される。そして、そのアノード-カソード間の距離 Lscr が短縮されるため、ESD 耐性が向上するものと期待された。

【0101】しかし、その動作に不具合が存在した。入出力パッド I/O に接地 GND に対して正極のサージが印加されると、トランジスタ NMOS のドレイン（N<sup>+</sup> 拡散層 ND102）及びチャネル（P ウェル PW101）との間で降伏（ブレイクダウン）が生じ、トリガ電流 Itrig が N<sup>+</sup> 拡散層 ND102、P ウェル PW101 を経由して接地 GND まで流れる。この結果、P ウェル PW101 に寄生する寄生抵抗 Rpw によって P ウェル PW101 の電位が上昇する。しかし、図 23

(b) に示すように、N ウェル NW101 に寄生する寄生抵抗 Rnw はいずれの電流の経路にもないため、N ウェル NW101 の電位は低下しない。このため、トランジスタ NMOS の駆動能力を極めて高いものにしなければ、P<sup>+</sup> 拡散層 PD101 と N ウェル NW101 と P ウェル PW101 と N<sup>+</sup> 拡散層 ND103 とにより構成されたサイリスタがオン状態にならず、サイリスタがオン状態となる前にトランジスタ NMOS が破壊されてしまう。

【0102】

【発明の効果】以上詳述したように、本発明によれば、静電保護回路にトリガ素子を設け、静電保護回路のサイリスタを構成するトランジスタのベースとトリガ素子とを金属配線により接続しているため、トリガ素子をサイリスタの外部に配置することができる。これにより、サイリスタのベース長を短くすることができ、ESD 耐性

を向上させることができる。また、サイリスタのトリガ電圧をトリガ素子の特性によって決定することができるため、トリガ電圧を任意に設定することができる。この結果、入出力パッドに印加される信号電圧として広範囲な電圧範囲をとることができると共に、0.10 $\mu$ m世代の極薄ゲート酸化膜を備えたMOSトランジスタを使用する場合においても、このゲート酸化膜を保護することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る静電保護回路の構造を示す断面図である。

【図2】本発明の第1の実施例に係る静電保護回路の構造を示す図であって、(a)は等価回路図、(b)はレイアウト図である。

【図3】(a)乃至(c)は第1の実施例に係る静電保護回路を製造する方法を工程順に示す断面図である。

【図4】(a)及び(b)は、図3に示す工程の次工程を工程順に示す断面図である。

【図5】(a)は本発明の第2の実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。

【図6】(a)は本発明の第3の実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。

【図7】(a)は本発明の第4の実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。

【図8】(a)は本発明の第5の実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。

【図9】(a)は本発明の第6の実施例に係る静電保護回路の構造を示す断面図であり、(b)はその等価回路図である。

【図10】本発明の第11の実施例に係る静電保護回路の構造を示す断面図である。

【図11】本発明の第11の実施例に係る静電保護回路の構造を示す図であって、(a)はその等価回路図、(b)はそのレイアウト図である。

【図12】本発明の第12の実施例に係る静電保護回路の構造を示す断面図である。

【図13】本発明の第12の実施例に係る静電保護回路の構造を示す図であって、(a)はその等価回路図、(b)はそのレイアウト図である。

【図14】本発明の第13の実施例に係る静電保護回路の構造を示す等価回路図である。

【図15】本発明の第14の実施例に係る静電保護回路の構造を示す等価回路図である。

【図16】本発明の第15の実施例に係る静電保護回路の構造を示す断面図である。

【図17】本発明の第16の実施例に係る静電保護回路

の構造を示す断面図である。

【図18】本発明の第16の実施例に係る静電保護回路の構造を示す図であって、(a)は等価回路図、(b)はレイアウト図である。

【図19】本発明の第17の実施例に係る静電保護回路の構造を示す断面図である。

【図20】本発明の第17の実施例に係る静電保護回路の構造を示す等価回路図である。

【図21】本発明の第17の実施例に係る静電保護回路の構造を示すレイアウト図である。

【図22】第17の実施例と2次保護素子の例を示す回路図である。

【図23】本発明の比較例に係る静電保護回路の構造を示す図であって、(a)は断面図、(b)は等価回路図である。

【図24】従来の静電保護回路の構造を示す図であって、(a)は断面図、(b)は等価回路図である。

【図25】(a)及び(b)は他の従来の静電保護回路の構造を示す図であり、(a)は断面図、(b)は等価回路図である。

【図26】(a)及び(b)は更に他の従来の静電保護回路の構造を示す図であり、(a)は断面図、(b)は等価回路図である。

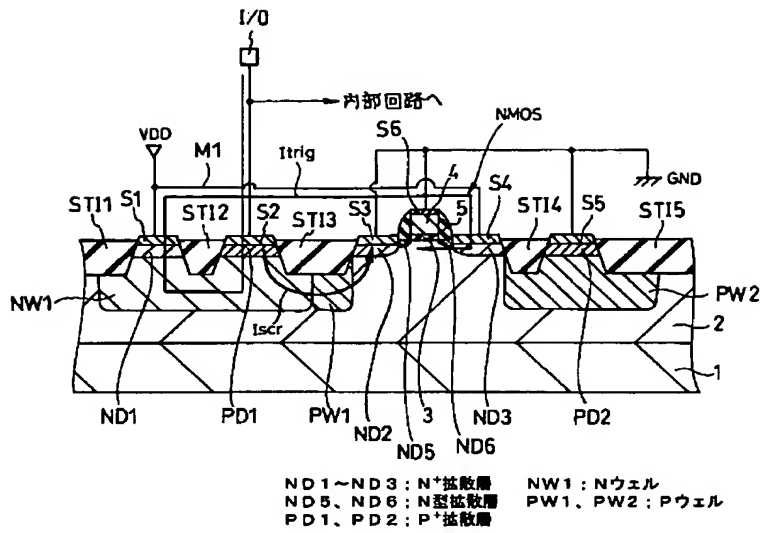
【符号の説明】

1; P型半導体基板  
2; P型エピタキシャル層  
3; ゲート絶縁膜  
4; ゲート電極  
5; サイドウォール  
9a、9b、9c; インバータ  
10、10a、10d; 内部回路  
11、11a、11d、12、12a、12d; 保護回路  
C1; キャパシタ  
D1~D5、D5a、D5d、D6、D6a、D6d、D7a、D7d、D8a、D8d、D10a、D10b; PN接合ダイオード  
M1、M2、M3; 金属配線  
N; ノード  
ND1~ND10、ND101~ND104; N<sup>+</sup> 拡散層  
NMOS; NチャネルMOSトランジスタ  
NW1~NW5; Nウェル  
PD1~PD6; P<sup>+</sup> 拡散層  
PW、PW1~PW5、PW10; Pウェル  
R1; 抵抗  
Rnw1、Rnw2、Rnw3、Rnw4、Rnw5、Rpw; 寄生抵抗  
S; シリサイド層  
ST1、ST11~ST110; 素子分離絶縁膜

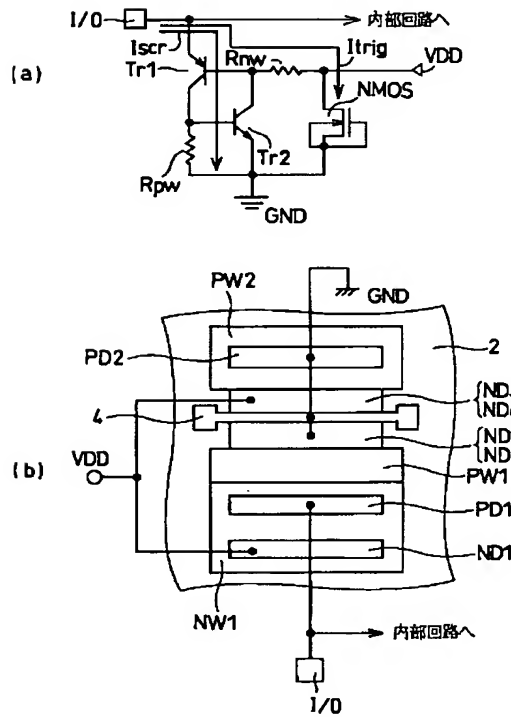


Tr 1、Tr 2：バイポーラトランジスタ

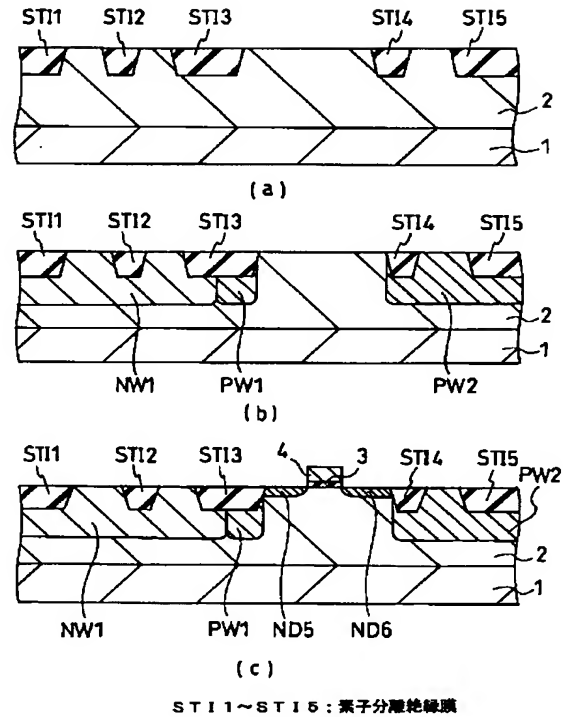
【図1】



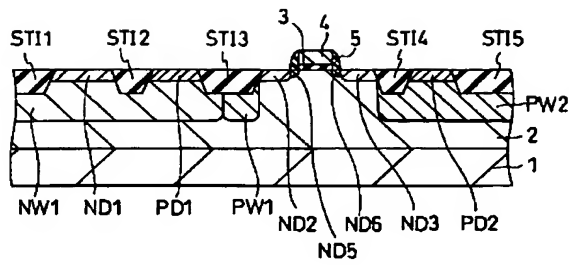
【図2】



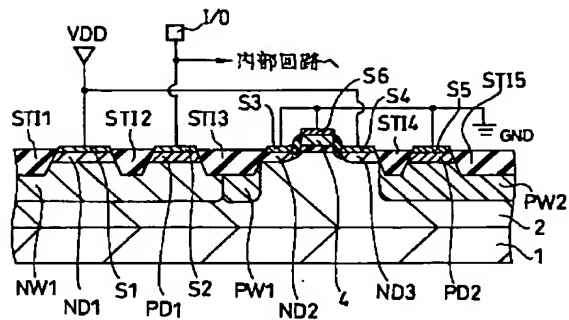
【図3】



【図4】

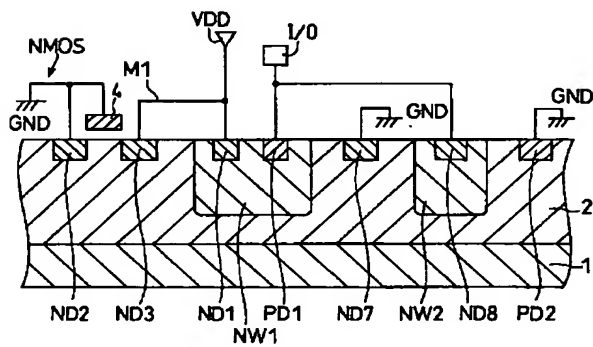


{a}

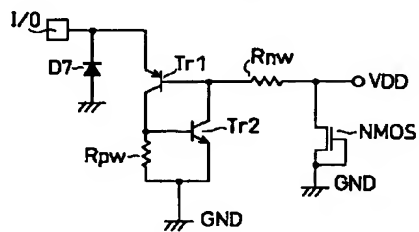


(b)

【図6】

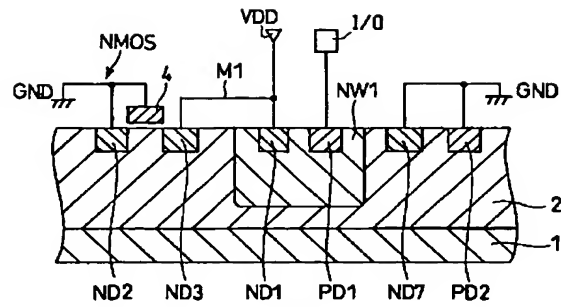


(a)

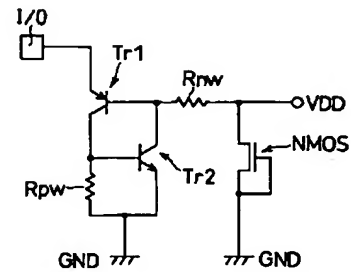


(b)

【図5】

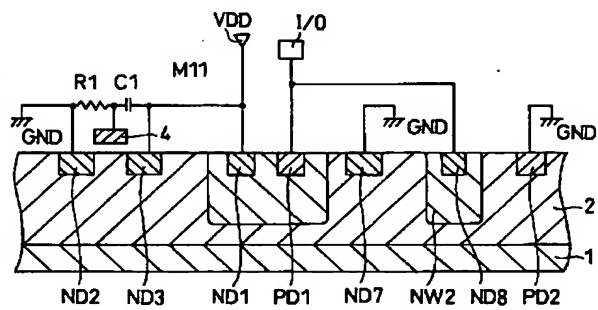


(a)

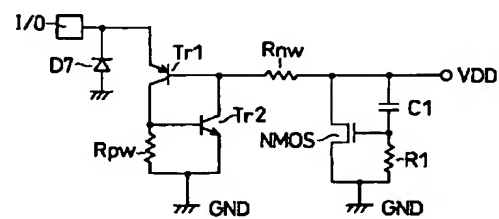


(b)

【図7】

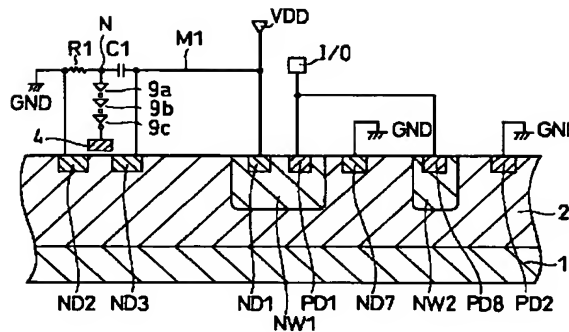


(a)

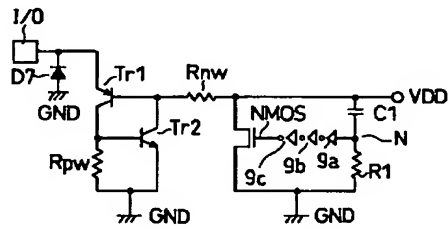


(b)

【図8】

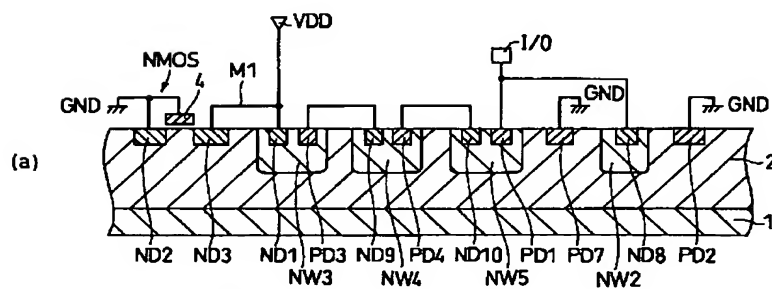


(a)

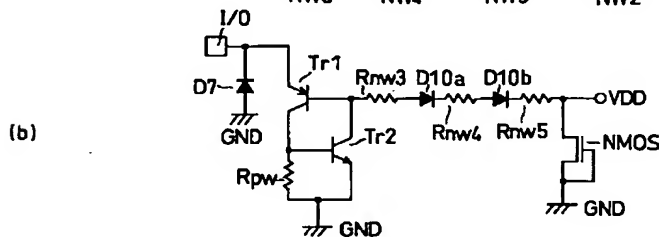


(b)

【図9】

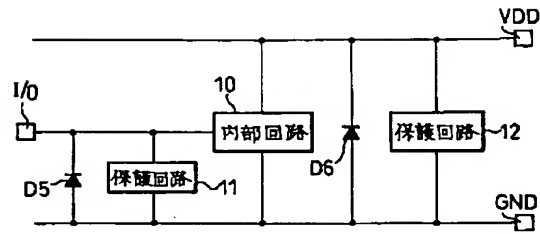


(a)

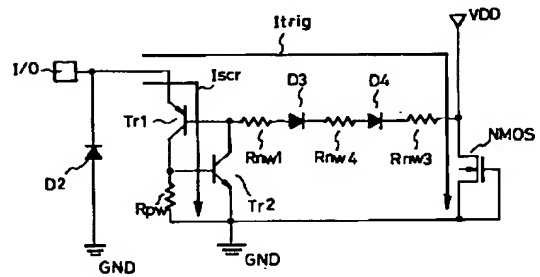


(b)

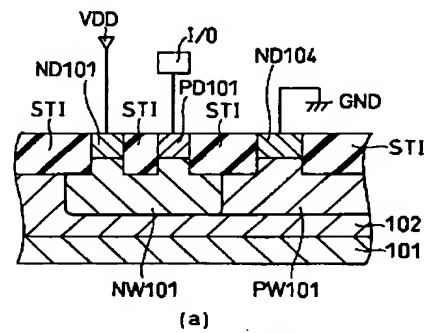
【図14】



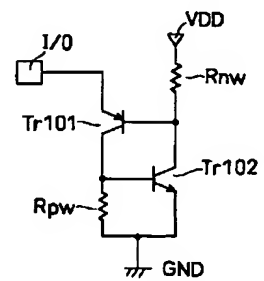
【図20】



【図26】

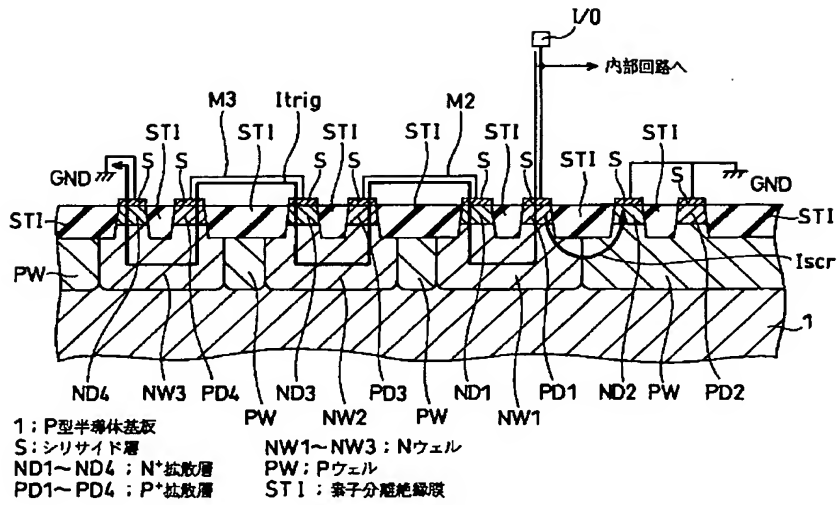


(a)

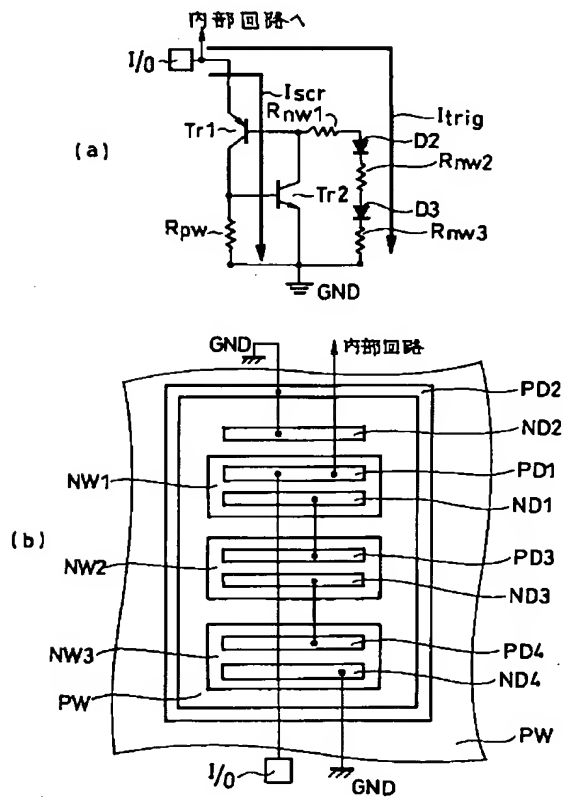


(b)

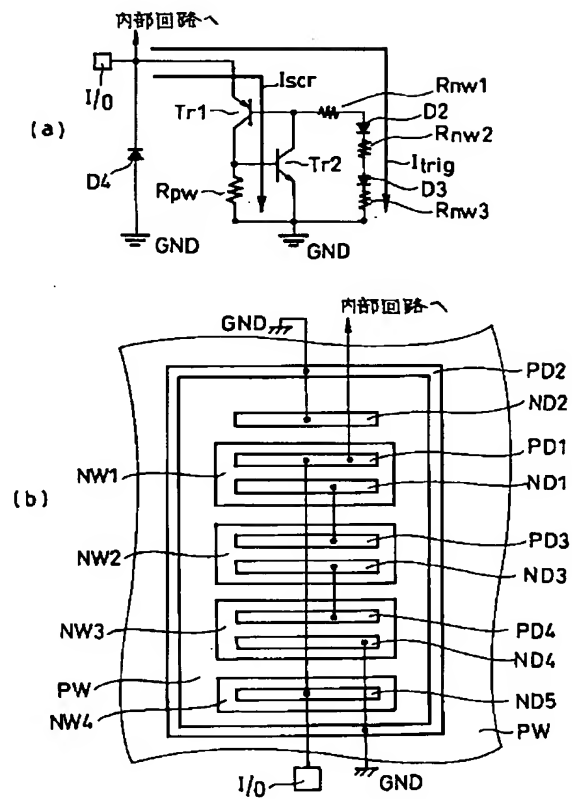
【図10】



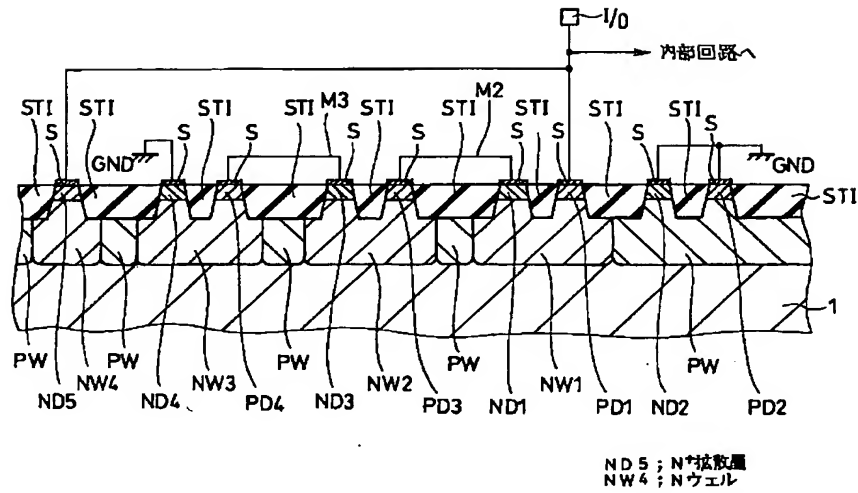
【図11】



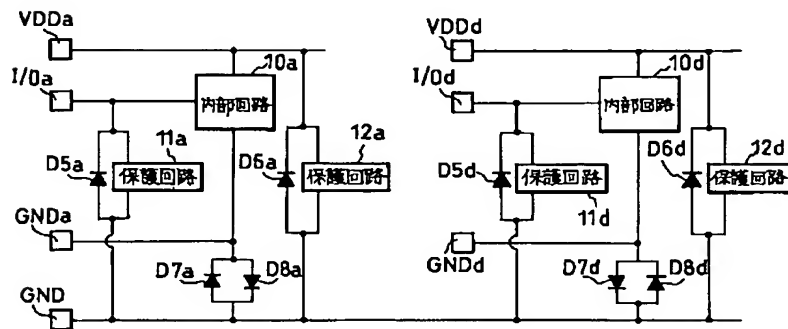
【図13】



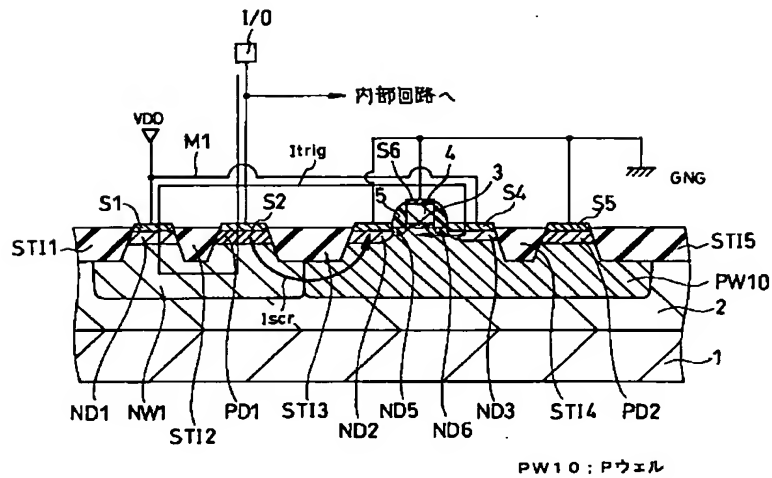
【図12】



【図15】



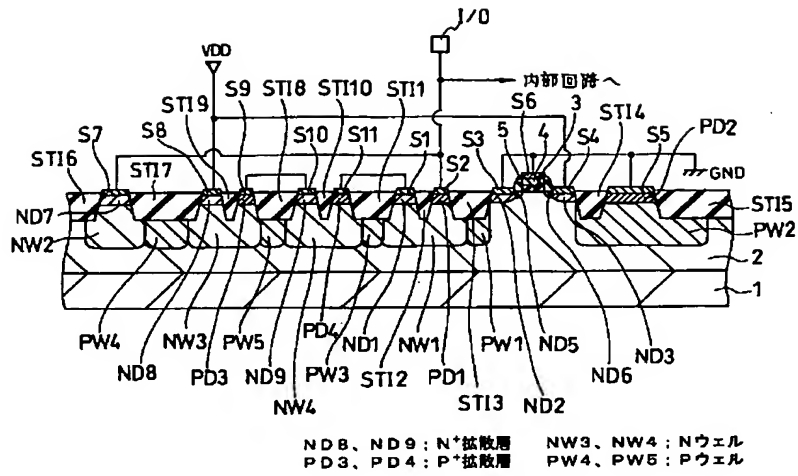
【図16】



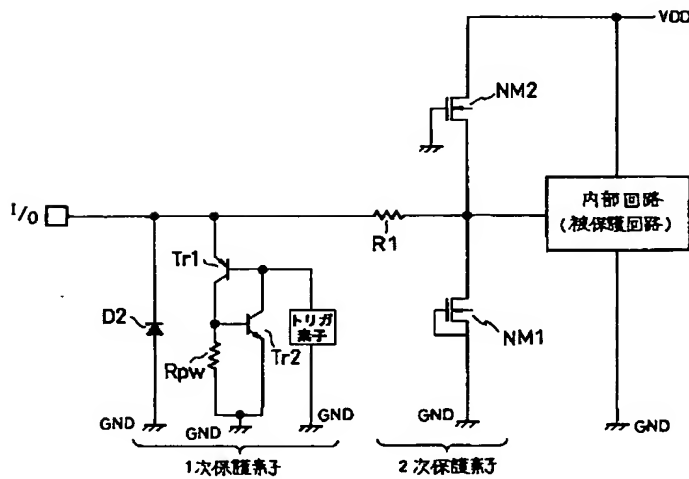
[illegible]

Figure 1 is a schematic diagram of a semiconductor device. The diagram shows a cross-section of a substrate with various layers and components. The top layer is labeled PW2. Below it is a layer labeled PD2. The substrate is connected to GND. The bottom layer is labeled PW1. The substrate is also connected to VDD. The diagram shows a series of data lines (PW1, PW2, PW3, PW4, PW5) and word lines (NW1, NW2, NW3, NW4) intersecting at data pads (PD1, PD2, PD3). The internal circuitry (内部回路) is shown at the bottom, connected to an I/O port.

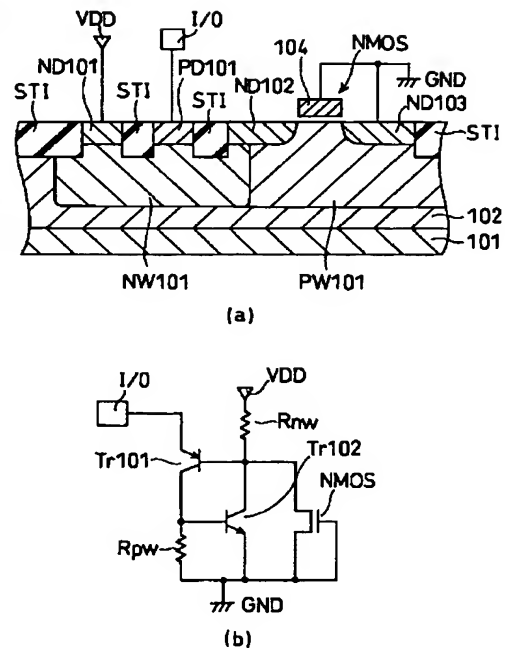
【図19】



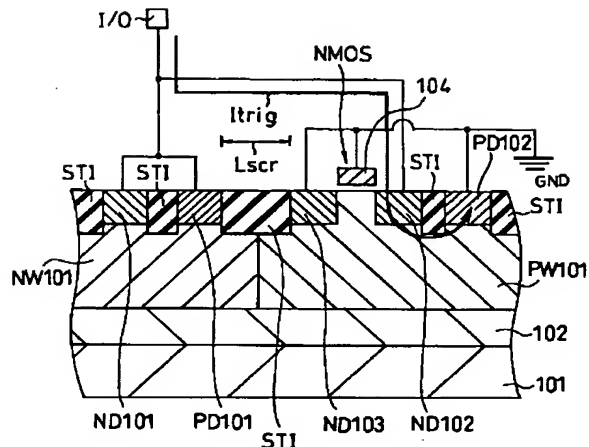
【図22】



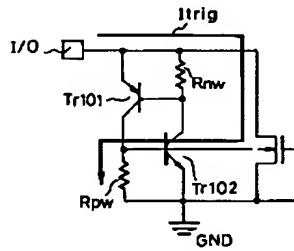
【図25】



【図23】

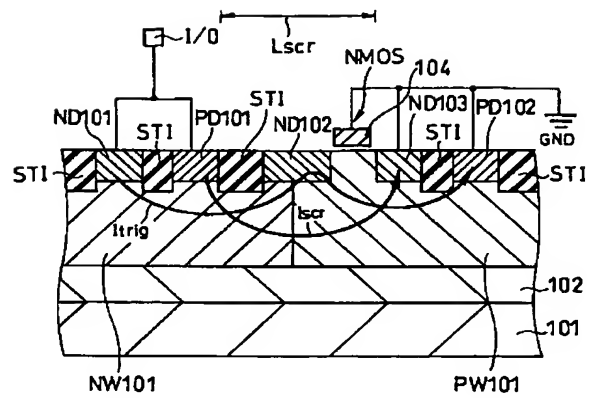


(a)

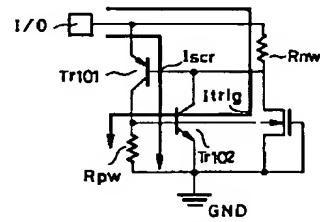


(b)

【図24】



(a)



(b)

【手続補正書】

【提出日】平成14年3月8日(2002.3.8)

\*【補正方法】変更

【手続補正1】

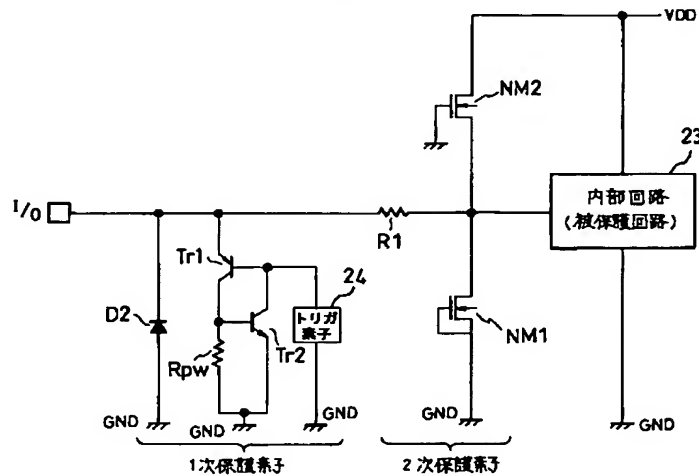
【補正内容】

【補正対象書類名】図面

【図22】

【補正対象項目名】図22

\*





フロントページの続き

(51)Int.Cl.	識別記号	F I	テーマコード (参考)
H 0 1 L 27/06	3 1 1	H 0 1 L 27/06	1 0 1 D

Fターム(参考) 5F038 BH01 BH04 BH13 BH19 DF12  
EZ13 EZ14 EZ20  
5F048 AA02 AC07 AC10 BA02 BB05  
BB08 BC06 BE03 BF06 BG14  
CA01 CA13 CC01 CC05 CC06  
CC08 CC10 CC13 CC15 CC16  
CC18 DA25  
5F082 AA08 AA31 BA05 BC03 BC09  
BC11 BC13 BC15 DA09 GA02  
GA04